

B J

組込みシステム技術協会機関誌

vol. 69

Bulletin JASA

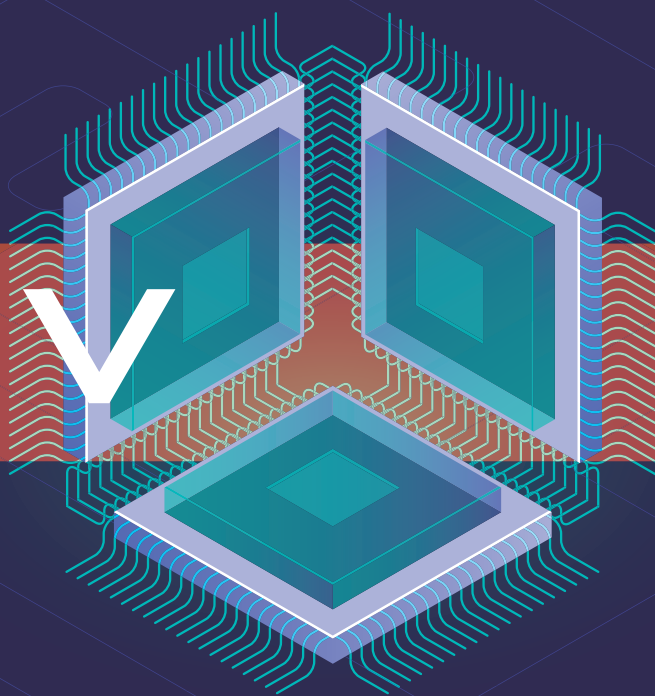
2019

Apr.

特集

RISC-V

ハードだってオープンソース、
パラダイムシフトを牽引する
新世代プロセッサ「RISC-V」



会社訪問

株式会社NTTデータ ニューソン



5つの事業領域で高い開発技術力を発揮
ソリューションの商用化にも注力し飛躍を目指す

イベント
活動報告



IoTイノベーションチャレンジ2019 概要紹介
ET・IoT Technology NAGOYA 2019レビュー
関東支部例会開催

活動
紹介



専務理事・武部桂史 JASAフィールドワーク
ET事業本部 ①

etc.

横田英史の書籍紹介コーナー

クミコ・ミライ ハンダフルワールド (第7話)

Information/技術本部成果発表会 開催のお知らせ/新入会員紹介



一般社団法人

組込みシステム技術協会
Japan Embedded Systems Technology Association

Amazonギフト券

プレゼント付

読者アンケート実施中!!

※画像はイメージです。

本号をお読みのうえ、アンケートにお答えください。ご回答いただいた方から先着100名様（応募締切5月末）に「Amazonギフト券」をプレゼントいたします。

QRコードからアクセス!!



bulletin.JASA



♡ぜひ読んで回答してね♪

JASAキャラクター
クミコ・ミライ



Contents

Bulletin JASA Apr. 2019

Vol.69

- 1 … **特集 RISC-V**
 - 1… ハードだってオープンソース、パラダイムシフトを牽引する新世代プロセッサ「RISC-V」 ETラボ 横田 英史
 - 4… RISC-VのISAと普及活動の状況 SHコンサルティング 河崎 俊平
 - 8… RISC-Vベースのエッジ向けプロセッサ 日本アイ・ビー・エム シニア・リサーチャー 宗藤 誠治
 - 12… RISC-Vに触ってみる。無料で始められるRISC-V開発環境の構築とFPGA実装 FPGA開発日記
 - 16… TEEを中心とするCPUセキュリティの動向 産業技術総合研究所 須崎 有康
- 20 … [会社訪問] 株式会社NTTデータ ニューソン
**将来5つの事業領域で高い開発技術力を発揮
ソリューションの商用化にも注力し飛躍を目指す**
- 22 … 専務理事・武部桂史 JASAフィールドワーク
ET事業本部 編①
- 24 … IoTイノベーションチャレンジ2019 概要紹介
- 26 … ET・IoT Technology NAGOYA 2019
- 27 … 関東支部例会開催報告
- 28 … 横田英史の書籍紹介コーナー
- 29 … クミコ・ミライ ハンダフルワールド(第7話)
- 30 … 会員企業一覧
- 32 … Information ET/IoT Technology 2018 自動車AI、ハプティクス等最新技術の体験ゾーンを開設/新入会員企業紹介
編集後記

特集

RISC-V

ETラボ

SHコンサルティング

日本アイ・ビー・エム シニア・リサーチャー

産業技術総合研究所

TRY IT NOW

横田 英史

河崎 俊平

宗藤 誠治

FPGA開発日記

須崎 有康

ハードだってオープンソース、 パラダイムシフトを牽引する新世代プロセッサ「RISC-V」

ETラボ 横田 英史

x86とArmが席卷していたマイクロプロセッサの世界が変わるかもしれない。命令セットアーキテクチャ (ISA) をオープンソースにしたRISC-Vが、ハードウェアのLinuxとして着実に地歩を築き始めたからだ。RISC-VのISAは、無償で公開され、ライセンス料とLSIごとのロイヤルティを支払うことなく、誰でも自由に改良・再配布が可能である。RISC-V準拠CPUコアや他のIP、開発環境とともに、オープンソースを集めたWebサイトGitHubで公開されている。アプリケーションに最適な構造をもつユーザー所望のマイクロプロセッサが、手軽に手に入る世界がすぐそこまで来ている。

マイクロプロセッサが今、変革期を迎えている。大きく変わろうとしているのは、マイクロプロセッサの「命令セットアーキテクチャ (ISA: Instruction Set Architecture)」である。性能や消費電力、コストに大きな影響をもたらす、マイクロプロセッサの性格を特徴づけるISAに、「RISC-V (リスクファイブと発音)」と呼ぶ新たな風が吹き始めたのだ。

マイクロプロセッサのISAは、米Intel社のx86アーキテクチャ、英Arm社のArmアーキテクチャが市場を席卷し、この10年以上にわたって「風」の状態が続いていた。前者はパソコンやサーバー、後者はスマホをはじめとするモバイル機器やコンピューター周辺装置、制御機器といった

分野で80%を超えるシェアを占め、他のISAにつけ入るスキを与えなかった。この構図が、ISAのパラダイムを根底から変えるRISC-Vの登場によって大きく変化しようとしている。

本特集は5部構成で、RISC-Vについて解説する。第1部ではRISC-Vを巡る状況を概観し、第2部で命令セットの仕様や動作モードなどの技術的な特徴を明らかにする。第3部以降は実践編である。第3部ではCPUコアや評価ボード選択のポイント、第4部ではオープンソースの開発環境を活用したFPGAへの実装法、第5部ではセキュアな実行環境TEE (Trusted Execution Environment) について開発者自らが論じる。

Google、IBM、NVIDIA、Samsung、WDなどが標準化団体に参加

RISC-Vが脚光を浴び始めたきっかけは、RISC-Vの標準化や啓蒙活動を手がけるRISC-V Foundation (RISC-V基金) の設立である。支援環境がこれで整った。

設立時には、米Google社や米IBM社、米NVIDIA社、米Western Digital (WD) 社といった大手企業が名を連ね、一躍注目をされるようになった。その後も米Hewlett Packard Enterprise社、米Seagate社、米Tesla社、韓国Samsung Electronics社、台湾TSMC、中国Alibaba Groupなどそうそうたる企業が加わった。2018年12月末時点でRISC-V Foundationに参加する企業・団体・教育機関は200ほどに達している(図1)。

特にインパクトが大きいのがWestern Digital社とNVIDIA社の動きである。Western Digital社は、2019年あるいは2020年以降に発売するHDDとSSDのコントローラーのCPUコアをRISC-Vに全面移行することを2017年11月に明らかにした。1年間の出荷台数はCPUコアにして10億個に達する。人工知能向けGPUの最大手であるNVIDIA社も積極的だ。GPUを制御するコントローラー・ユニットとしてRISC-Vを採用すると発表したほか、2018年12月には同社の深層学習アクセラレーター (NVIDIA



図2 日本で開催されたワークショップRISC-V Dayの会場風景

左は2017年12月に東京大学伊藤謝恩ホール、右は2018年10月に慶應義塾大学藤原洋記念ホールで開かれたRISC-V Dayの様子。企業、大学などから前者は350人、後者は250人が出席した。



Deep Learning Accelerator: NVDLA) および推論エンジンとRISC-Vとを組合わせたプラットフォームを公表した。

実際、RISC-Vへの関心はこのところ急速に高まっている。RISC-V Foundationが2015年から半年に1回の頻度で開いているRISC-Vワークショップは多くの参加者を集めている。2018年12月に米国カリフォルニア州サンタクララでRISC-V Summitと題して開催し、約1000人の参加者を集めた。ほぼ1年前の第7回ワークショップの参加者が500人ほどだったので倍増したことになる。

日本の動きも急だ。日本版RISC-Vワークショップ「RISC-V Day」は2017年12月と2018年10月の2回開かれ、それぞれ350人と250人の参加者を集めた(図2)。特に第1回は、「Western Digital社がRISC-Vを全面

採用」というニュースが飛び込んだこともあって、会場の東京大学伊藤謝恩ホールは満員で立ち見が出るほどだった。

オープンソースでハードウェアのLinuxを目指す

パラダイムシフトをもたらすRISC-Vの特徴は大きく2つある。1つはオープンソースという点。もう1つはDomain Specific Architecture (ドメイン固有アーキテクチャー) と呼ぶ設計思想を取り入れている点だ。

RISC-Vは、米カリフォルニア大学バークレー校 (UCB) が研究目的で開発したISAである。校内で使うことを想定していたが、部外者が利用できるようになったことから仕様をオープンソースとして公開し、商業製品にも利用しやすいBSDライセンス条件のもとで誰でも自由に使えるISAとした。つまり無償で公開され、使用料 (ライセンス料) とLSIごとのロイヤリティーを支払うことなく、誰でも自由に改良・再配布が可能である。マイクロプロセッサを独自に開発する場合に気になる特許侵害の懸念も払拭できる。

こうすることでRISC-VはISAを使う敷居を下げ、企業や組織の枠を越えたコミュニティの衆知を集めて、低コストでの技術の開発と改善を促す。オープンソースのOSとして確かな地歩を築いたLinuxと同様の考え方である。端的に言えば、RISC-Vは「ハードウェアのLinux」を狙っているのだ。RISC-Vは実際、コミュニティによって改良が続けられた。現在は、RISC-Vを採用したCPUコアやSoCといった他のオープンハードウェアとともに、オープンソースの情報を集めたWeb



図1 RISC-V Foundationのメンバー

RISC-Vの仕様策定や標準化、啓蒙活動などを推進する、2015年設立の非営利団体。2018年末の時点で約200の企業、団体、教育機関が加盟する。出典: RISC-V SummitにおけるRISC-V FoundationのRick O'Connor氏の講演「Welcome & RISC-V ISA & Foundation Overview」
(<https://content.riscv.org/wp-content/uploads/2018/12/Welcome-RISC-V-ISA-Foundation-Overview-Rick-OConnor.pdf>)

サイトGitHubで公開されている。このあたりは第3部以降で紹介する。

ちなみに、ここにきて様々な業界団体のRISC-Vへのシフトが加速し始めた。例えばRISC-V Foundationは2018年12月に、Linuxの普及を促進する非営利団体Linux Foundationとの協業を発表した。両Foundationは、RISC-Vプロセッサを使ったシステムのLinuxへの対応だけでなく、組み込みOS「Zephyr」の開発・普及でも協力体制を敷く。さらに2019年1月にはRaspberry Pi Foundationが、RISC-V Foundationへの参加を明らかにした。

Domain Specific Architectureの設計思想を取り込む

台頭の背景にある第2の要因は、半導体の技術的問題に対応する潜在能力を秘めていることだ。マイクロプロセッサの性能向上が壁にぶつかっているのは図3と図4を見るとよく分かるが、RISC-Vにはこの問題を想定したDomain Specific Architectureの仕組みが組み込まれている。特定分野に的を絞った機能や仕組みをプロセッサに組み込むことで、対象となる分野について高速処理を達成する。

マイクロプロセッサの性能を向上させる

図3 マイクロプロセッサの動作周波数の推移
2005年を境に動作周波数はほとんど横ばい状態である。

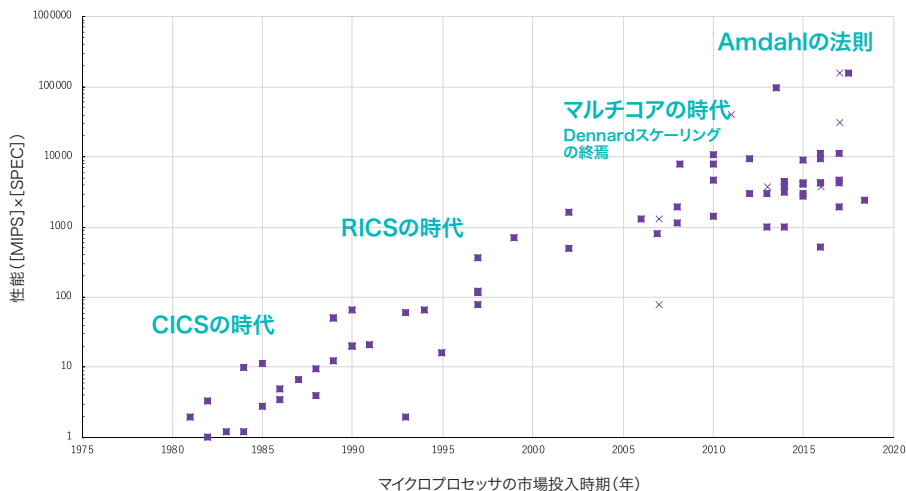
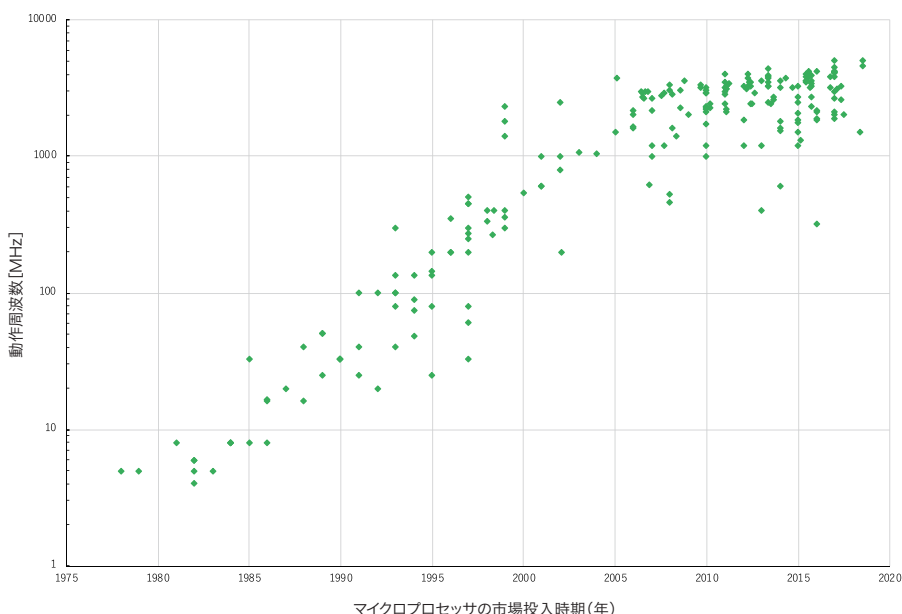


図4 マイクロプロセッサの処理性能の推移

CISCからRISC、マルチコアといった手法で性能を高めてきたが、ここにきて向上のペースは鈍っている。こうした状況をドメイン固有のアーキテクチャ (Domain Specific Architecture) を取ることで補う。Patterson氏によるとCISC時代は年率22%、RISC時代は同52%、マルチコアの時代は同12%で性能は向上していた。しかしAmdahlの法則によって、コア数を増やしても性能が高まらない時代に入っている。現在は年率3%程度しか性能は高まっていないという。

RISC-V SummitにおけるDavid Patterson氏の基調講演「A New Golden Age for Computer Architecture: History, Challenges and Opportunities」(<https://content.riscv.org/wp-content/uploads/2018/12/A-New-Golden-Age-for-Computer-Architecture-History-Challenges-and-Opportunities-David-Patterson-.pdf>)を参考に作成。

手っ取り早い方法は、半導体技術の微細化に依りて動作周波数を高めることである。ところが消費電力が大きくなりすぎるために、動作周波数を高められなくなってきた。図3から、2005年ころを境に動作周波数の向上に急ブレーキがかかっているのが分かる。2005年からしばらくは、1つのLSIに複数のプロセッサコアを内蔵し、並列処理を行うことで性能を高めてきた。しかし、それも限界に

近づきつつある。

こうした状況に対応するのが、マイクロプロセッサを特定の処理向けに最適化するDomain Specific Architectureである(図4)。最近になって米Amazon.com社や米Microsoft社、Google社といった情報技術(IT)の巨大企業が、AIやクラウドコンピューティングに向けた専用チップの開発に動いているのも、この流れでとらえることができる。

RISC-VのISAには、ドメイン固有の処理に対応した命令を組み込むための余地が開発当初から残されている。市場規模にもよるが、自動車や家電製品、制御装置、製造装置といったドメインに特化したRISC-Vチップが登場する可能性もある。UCBの元教授で、RISC-V開発者の一人であるDavid Patterson氏(現在はGoogle Research)はRISC-Vの設計思想について、著書「RISC-V原典」(日経BP社刊)でこう述べている。

ムーアの法則が通用しなくなったときにコスト・パフォーマンスを大きく向上させる唯一の道は、特定のドメイン向け命令を追加することである。例えばディープラーニング、拡張現実、組み合せ最適化、グラフィックスなどのドメインが考えられる。つまり今日のISAにとって、オペコードの拡張の余地を予め確保しておくことが重要になっている。

RISC-VのISAと普及活動の状況

SHコンサルティング 代表 河崎 俊平

命令セット仕様 (Instruction Set Architecture: ISA) は、特許で独占的使用権を確保する。

ISAをオープンソースとし使用権を制限されないISAとしてRISC-Vが登場した。広い汎用性を持たせ全応用に適用できる。

本記事では、RISC-VのISAの特徴とプログラム環境整備状況、IoTやAIのエッジデバイスセキュリティ保護への取り組みを紹介する。

RISC-Vでは、32ビット以上の全応用領域をカバーするため、モジュラーアーキテクチャー方式を採用している (図1)。基本ワード長、命令機能、特権モードなどは応用を考慮し選択実装することで各応用を経済的に実装できる。

RISC-V ISAの特権モードでは、「マシンモード (最高特権)」が必須で「スーパーバイザーモード」「ユーザーモード (最低特権)」はオプションだ。仮想マシン上でリッチOSを実行する時は、3つの特権モードすべてを実装する。マイコンは概ね「マシンモード」のみで実装されている。

RISC-Vの基本命令長は32ビットだが、命令フィールド内の2ビットで命令長が決まり、16ビット圧縮命令 (C) もオプションとしてあり、命令空間の4分の1が圧縮命令に割り当てられる。命令密度はThumb命令すなわちArm Cortex M0と理論的には等価である。CSiBEベンチマークは、gccコンパイラ設計者がコード最適化に使うベンチマークであり、893種のベンチマークがアーカイブされている。Cortex M0とRV64GCでCSiBEを2016年頃の未熟なGCCでコンパイルした。平均コードサイズは、RV64GCはM0比15%増、RV32GCは同11%増だった。

M0、RISC-V ISAでは、コード効率ベンチマークで得意不得意がはっきりする。M0が得意とするのは、Linuxカーネルタスク初期化 (対RV64GCでサイズが52%)、組込みTCPIPプロトコル (同43%) など

ある。RV64GCが得意とするのは、MPEG映像データ変換 (同20%)、線形代数演算が同38%などである。

64ビットのみのRISC-VGCCとLinuxサポート

RISC-Vチームは、RV64のbinutils、gcc、glibc、LinuxをアップストリームしABIを安定させる作業を進めている。

Linux対応RV32ハードとLinux試作版が2016年ごろ存在したが今は姿を消した。DDR実装量が増加して4GBの物理メモリーは珍しくない。ラズベリーパイですら1GBのDDRを標準実装する。Linux対応Arm32は価格が暴落した。ラズベリーパイゼロボードは5米ドルで売られている。RedHat/FedoraはサーバークラスのRV64ハードウェアにしか興味がない。

Debianサポートに必要な、binutils、gcc、llvm、glibc、Linux、ミドルウェア、プログラミング言語などの上流サポートには年間億単位の費用が必要なため、RV32までケアできない。

RISC-VへのDebianによる関与の歴史

Debianでは、安定版 (stable) とし、テスト版 (testing)、不安定版 (unstable) の3世代のディストロを並行に公式リリースする。2019年3月時点の安定版DebianはGNU/Linux 9コードネーム「stretch」である。2019年からGNU/Linux 10コードネーム「buster」に移行する。

ABI問題、法律問題などでRISC-Vソフト移植はしばらくゆっくりだった。それらの問題が解決するとRISC-Vツールチェーンのアップストリーム化は驚異的速さで進

図1 RISC-Vのモジュラーアーキテクチャー使用例 (Linuxが走るRV64GCの場合)

Linuxを実行できるマシンとするには、

①レジスタ長 (XLEN) = 64ビット。

②命令群としてG (汎用命令群) =

I (整数) + M (乗算) + A (アトミック)

+ F (単精度浮動小数点)

+ D (倍精度浮動小数点)

+ C (圧縮命令) を選択。

④特権モード構成は、

3レベル (3) を選択。

M (マシンレベル)

S (スーパーバイザレベル)

U (ユーザーレベル)

をサポートする。

MXL	XLEN
1	32
2	64
3	128

①レジスタ長の指定

Table 3.1: Encoding of MXL field in misa

Level	Encoding	Name	Abbreviation
0	00	User/Application Supervisor	U
1	01	Supervisor	S
2	10	Reserved	
3	11	Machine	M

特権モード定義

Table 1.1: RISC-V privilege levels.

Number of levels	Supported Modes	Intended Usage
1	M	Simple embedded systems
2	M, U	Secure embedded systems
3	M, S, U	Systems running Unix-like operating systems

④特権モード構成の指定

Table 1.2: Supported combinations of privilege modes.

Subset	汎用命令群G	Name
Standard General-Purpose ISA		
Integer		I
Integer Multiplication and Division		M
Atomics		A
Single-Precision Floating-Point		F
Double-Precision Floating-Point		D
General		G = IMAFD
Standard User-Level Extensions		
Quad-Precision Floating-Point		Q
Decimal Floating-Point		L
16-bit Compressed Instructions		C
Bit Manipulation		B
Dynamic Languages		J
Transactional Memory		T
Packed-SIMD Extensions		P
Vector Extensions		V
User-Level Interrupts		N
Non-Standard User-Level Extensions		
Non-standard extension "abc"		Xabc
Standard Supervisor-Level ISA		
Supervisor extension "def"		Sdef
Non-Standard Supervisor-Level Extensions		
Supervisor extension "ghi"		SXghi

②命令群の指定

Table 22.1: Standard ISA subset names.

だ。アセンブラやリンカ(binutils)は2017年3月に、コンパイラ(gcc)は2017年5月に、ライブラリー(glibc)は2018年2月にリリースされた。エミュレーター(qemu)も2018年4月にqemu 2.12の一部としてリリースされ、デバッガ(GDB Linux)、高性能コンパイラ(LLVM/Clang)、ジャバJIT(Java/OpenJDK JIT)、Rust言語、Go言語、フリーパスカ、V8(GoogleのJavascriptエンジン)はRISC-Vに移植中である。

RISC-V Debian自動ビルドの状況

RISC-Vを含むi386以外の全アーキテクチャーのパッケージ・コンパイル状況はDebianの自動ビルダーネットで集中管理されている。

RISC-Vは:①上流ツールチェーン・サポート体制が存在する。②Debianパッケージ管理システムの不安定新アーキテクチャー(dpkg/unstable)サポート体制が存在する。③自動ビルダ・ネットワークが稼働し新パッケージがビルドできる。このためRISC-VのDebian格付けは「Debian第2クラス・アーキテクチャー」別名「Debian移植アーキテクチャー群(debian-ports)」である。

RISC-Vを「Debian正式アーキテクチャー(Regular Debian Architecture)」に格上げするには、以下の追加条件を満たす必要がある。④アーカイブ中の95%以上のパッケージが正しくビルドされる。⑤Debianアーカイブ中に「未リリース」パッケージがない。⑥Debianパッケージ管理システム安定版でアーキテクチャーサポートが利用できる。⑦Debianシステム管理システムにつながる物理ハード(ボード、ボックス

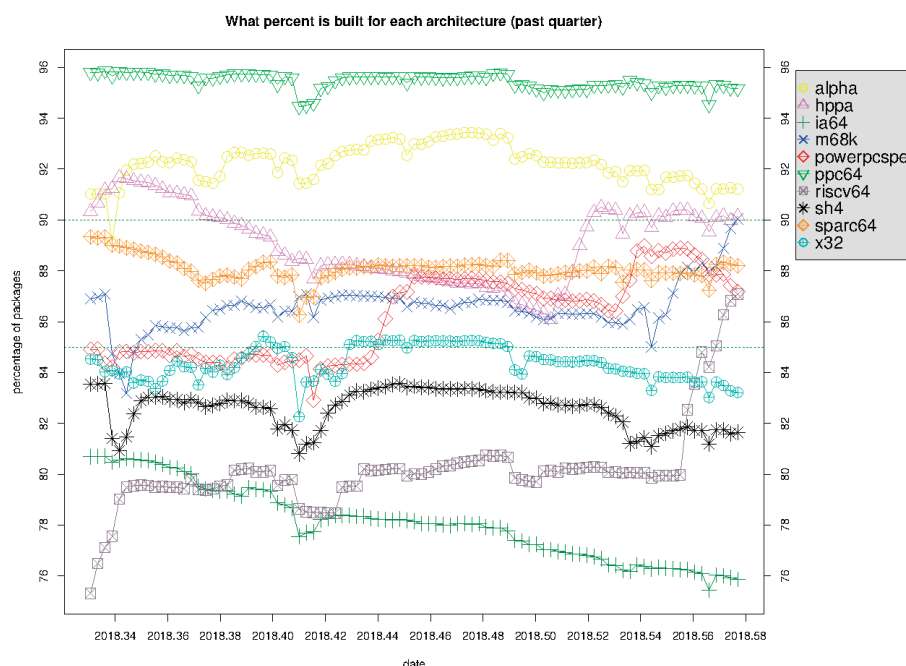


図2 2018年前半期における各アーキテクチャーのビルド成功率

など)上で全ビルドが動作する。⑧移植作業インフラ(Porterbox)が利用可能である。

図2は、2018年前半期時点での各アーキテクチャーのビルド成功率(Y軸)を示す。RISC-Vは、2018年半ばに成功率を80%から88%に急増させた。PowerPC64は、95%を維持している。SH4は、アーキテクチャー責任者(メンテナ)が無給与なのでビットロット状態が続き81%~84%にまで下落した。Trust Moduleに使用するためSH用gccツールを開発したが、Debianが使用するアップストリーム化の予定はまだない。

「リリースアーキテクチャ」への道

Debianは、安定版リリースが出る度に「リリースアーキテクチャー」を認定する。RISC-Vが認定されるためには、次の条件を満たす必要がある。(i) Debianインス

トラー(Debian-Installer)のサポート。(ii) buildに十分な冗長性を持つ。(iii) Debian自動ビルダーネットが管理するハードがラックマウント可能でゾーン外リモート管理機能を持ち、スベアハードウェア準備がある。(iv) アーキテクチャー固有の問題を処理する最低3人の開発者をアサインする。

現在進行中のDebian 10、通称「Buster」では「遷移フリーズ」「ソフトウェアフリーズ」「完全フリーズ」が、2019年第1四半期に始まるのでRISC-Vは間に合わない。「リリースアーキテクチャー」となれるのは、少なくともDebian 11以降である。RISC-VのようなオープンISAとオープンソースのCPU IPがDebian「リリースアーキテクチャー」となれば、RISC-Vの目指す頂点=サーバーに一挙に近づく。

オープンSoCを支援する 「チップ連合」設立

Linux Foundationは下部組織として「チップ連合」(CHIPS Alliance)を2019年3月に発足した。企業と個人が協力しオープンCPUとシステムオンチップ(SoC)の設計資源を作り出す。対象分野は①モバイル、②コンピューティング、③家電製品、④IoT、である。Google社、Western Digital社、Esperanto社、SiFive社が後援する。

AI、機械学習、インフラ向け計算基盤をRISC-Vが担うにはオープンSoCの解が必要である。RISC-Vに加え、まちまちなライセンス条件や開発言語で散在するオープンハードをSoC基盤ブロックにまとめる努力も重要だ。

OpenRISC、レトロCPU(例:Z80)、グラフィックスIP、セキュリティIP、アナログIPを整備する動きもある。オープンソースIP基盤ブロックが必要である。Google社は、RISC-V向けに、高ストレスランダム検証命令ストリーム生成ツールを提供することをコミットした。

10年の計を持つRISC-Vには安定した政治地盤も重要だ。基盤を欧州に持つ

Linux Foundationに合流することで、グローバルな組織基盤を確立し、米中半導体戦争などの影響を受けづらくする。RISC-V Foundationは米国基盤でISA規格管理とイベント運営を担う。複眼的な組織構成になりつつある。

日本でのRISC-Vの取り組み

筆者は2014年夏からRISC-Vのイベントに参加してきた。RISC-V Foundationは、モーター、ロボット、民生応用の聖地である日本は、RV64の中位製品を開発することを期待した。2016年頃欧米アジアと日本の間にRISC-Vに関する大きな情報格差があることに危機感を持ち、SHコンサルティングとしてRISC-V Foundationに加入した。その後、2017年にはテカナリエ社、2018年にはNSITEXE(デンソーのグループ企業)、ペジーコンピュータ、2019年にはソニーセミコンダクタソリューションズが加入した。

2017年12月にRISC-V Foundationから要請があり「RISC-Vの1日」と呼ぶ年1回の国内の催しを開催した。第1回の開催後に関係者が集まり反省会を行なった。そ

こでは、(a)日本発のRISC-Vの発表、(b)日本のRISC-Vチップ開発、(c)日本語RISC-V書籍、(d)日本RISC-V法人が必要という意見が出た。これを受けて、2018年に活動を加速した。その結果(a)(b)(c)は実現できた。2019年は、東京国分寺に新設される日立馬場記念ホールを使わせていただき9月30日に開催する。

RISC-Vは、当初バイエンディアンとして誕生した。後に、ビッグエンディアンを仕様から削除した。4回に渡りビッグエンディアン追加要求があったが、ツールがネックで実現しなかった。しかし、通信インフラ、ベースバンド、工場インフラ、電力インフラ、航空、軍事、宇宙応用などはビッグエンディアンが主流だ。Debian「リリースアーキテクチャー」のうち、arm64、arm(32)、MIPS、ppc64elはバイエンディアンでLinuxもビッグリトルを両方完全にサポートしている。Armのビッグエンディアンは、iPhoneのベースバンドチップに使われている。エンディアン間のソフト移植はエラーが生じやすいため、ビッグエンディアンRISC-Vのニーズはある。近くRISC-Vビッグエンディアン・コンパイラーの調査移植を行う。

オープンな仕組みを活用して エッジデバイスのセキュリティを守る

つながるデバイスのセキュリティ技術をソフトとハードのオープンソース・パッケージとして展開する活動を、NEDOの「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発」プロジェクトで進めている。将来のIoTやAIエッジデバイス用SoCでの利用を目

指したものだ。日立製作所、慶應義塾大学、産業技術総合研究所、SHコンサルティング、セコム、電気通信大学、東京大学が参加している。このプロジェクトでは、アプリAPIから応用プログラマがシステムセキュリティを担保するトラスト実行環境(Trusted Execution Environment:

TEE)と物理耐タンパ性を持つTrust Module、産業用途、セキュリティインフラなどの応用技術をテーマとしている。

2段階でエッジデバイスを守る

TEE(Trusted Execution Environment=トラスト実行環境)は、メインCPU群で動作するリッチOS(例:Linux)の追加機能である。TEE API群を介しメモリー隔離ハード機構(TEE)を使う。TEEのAPIは抽象化さ

れているのでハードが変わってもアプリのセキュリティスキームは移行できる。

よく、TEE以外になぜTrust Moduleが必要なのか、と聞かれる。TEEは、リッチOSとTEEが正しく立ち上がった時だけ機能する。TEEが搭載されてないチップ単体に固有鍵を注入することもある。ボードに組み込まれた後、IoTを個人化(Personalization)する。LinuxやTEEが動作しないIoTデバイスを退役させることもTrust Moduleの仕事だ。また、デバッグのためにICEを繋げることもあるが、これも固有鍵を使い暗号化された通信を行う。このようにTEEが起動される前後に多様なライフサイクル処理がある。

Trust Moduleは、鍵注入処理、バイOMETリ情報、セキュアブート機能、デバッグ機能、ストレージ暗号化機能などを、モジュール単体で行える独立したコンピューター(マイコン)である。PKIアルゴリズムを使い、統一された暗号ワークフローで鍵管理を安全に行う。Trust Moduleは、海外政府暗号調達基準(FIPS140-2など)の物理セキュリティ規定に対応できる。FIPS140-2暗号境界(TOE境界)を半導体のマクロセル境界を合致させ、境界内のハードとソフトを独立認定する。応用システムを認定せずとも、Trust Module認定で調達基準を充足できる。

図3に、Trust Moduleのアーキテクチャーを示す。⑥のSoCは、3つのサーバーと1つのデスクトップと1つのセーフボックスから構成される。

各要素の説明を簡単にする。

①ハードウェアトラストモジュール(HTM)サーバー:Trust Moduleの不揮発性メモリーにチップ製造工程で書き込む固有鍵

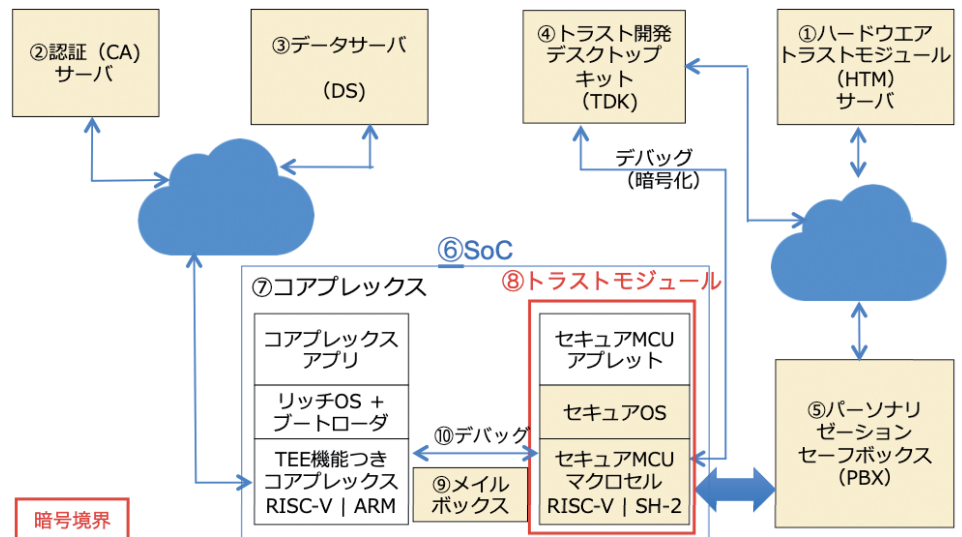


図3 トラストモジュール・アーキテクチャー

を高速に生成し、PBXに安全に送る。固有鍵が正しく書き込まれたかもチェックする。

②認証(CA)サーバー:Trust Moduleが生成したデジタル署名を検証する。

③データサーバー(DS):Trust Module内の資格証明書を使い、ユーザーセキュリティ運用を行う。

④トラスト開発デスクトップキット(TDK):Trust Module用アプレットと、コアプレックス用アプリを開発するためのツールキットをホストするPC。

⑤パーソナリゼーションセーフボックス(PBX):Trust Moduleに鍵と個別化データを注入する。Trust Module外部ピンに電氣的につながるテスター、プローバ、ハンダーとのインタフェースを備える。HTMと認証交信する機能も持つ。使用状況によりタンパ検出機能も持つ。

⑥SoC:リッチOS(Linux + TEE)を実行できるチップ。

⑦コアプレックス:CPUコア群。マルチコアとMMU、L1キャッシュ、L2キャッシュの集

合体のこと。

⑧Trust Module:セキュアMCUマクロセル。セキュアOSを実行する。セキュアMCUは、乱数生成、暗号アクセラレーター、耐タンパ機能を持つ。セキュアOSは、自己充足的なコンピュータシステムでユーザープログラムをダウンロード実行できる。セキュアOSは、暗号ライブラリーを機能の一部として持つ。

⑨メールボックス:コアプレックスからTrust Moduleのメモリー空間をアクセスすることはできない。セキュアMCUは、メールボックスを介してコアプレックス空間をバスマスターとしてアクセスすることができる。

本論文は、Creative Commons「CC-BY-4.0ライセンス」でライセンスされます。掲載した研究の一部は東大VDECの設備とファブを使用させていただいた。

参考文献:Karsten Merker, Porting Debian to the RISC-V architecture, Tales from a long quest, February 2, 2019

RISC-Vベースのエッジ向けプロセッサ

日本アイ・ビー・エム シニア・リサーチャー 宗藤 誠治

IoTのエッジ向けプロセッサでは英Arm社の「Cortexシリーズ」が広く利用されている。

その一方で、近年、オープンな命令セットを採用した「RISC-V」という新しい選択肢が注目されている。

RISC-Vの普及とともに、さまざまなRISC-Vのコアが発表され、選択肢が広がってきた。

ここでは、現在利用可能なRISC-Vの各種実装の紹介と、選択のポイントについて解説する。

特にスイス連邦工科大学チューリッヒ校(ETH Zurich)で開発が進められている「PULP」と、米SiFive社の「Freedom」についてその概要を紹介する。

RISC-Vはオープンな命令セット(Instruction Set Architecture: ISA)である点が特徴である。つまり、誰でも自由にRISC-VのISAをサポートしたプロセッサを開発することができる。開発したプロセッサはオープンソースとして公開することも、商用製品として利用することもできる。RISC-VのISAはRISC-V Foundation(<https://riscv.org/>)によって管理されており、基本的には、各社のRISC-Vプロセッサ上で同じバイナリコードを実行することが可能である。コンパイラやオペレーティング・システムのRISC-V対応も進んで

おり、ソフトウェア開発もその他のISAを利用した場合と同等になりつつある。

RISC-VのISAは32ビット、64ビット、128ビットに対応しており、組み込みでは32ビットのコアが利用される場合が多い。RISC-VのISAにはいくつかのグループがあり、サポートする命令によってコアのサイズが異なる。そのため、RISC-Vのプロセッサコアでは、対応するISAを「RV32IMC」のような形で表記する。RV32IMCとは、32ビットで整数(Integer)、乗算器(Multiplier)、縮小命令セット(Compressed)に対応したプロセッサ

コアであることを示す。

組み込みの場合、利用できるメモリーサイズが限られていることから、バイナリコードが小さいことが重要になる。縮小命令セットを用いた場合、Arm社のCortexシリーズとほぼ同等のコードサイズとなる。さらに、組み込み用に命令を絞ったE(Embedded)命令セットも用意されている。

市販のSoCを利用したソフトウェア開発

市販されているRISC-Vを採用したプロセッサはまだ多くはない。それでも、表1に示すように、いくつかのプロセッサと評

表1 RISC-VのSoCを搭載した評価ボード一覧

評価ボード	HiFive1	HiFive1 rev B	KD233	VEGA
価格	\$59	\$59	\$49.99	無料
開発元	SiFive(米)	SiFive(米)	Kendryte(中)	NXP(蘭)
SoC名	FE310-G000	FE310-G002	K210	RV32M1
コア	SiFive E31	SiFive E31	不明 (2 core)	RI5CY/ZERO-RISCY
ISA	RV32IMAC	RV32IMAC	RV64GC	RV32IMC
パイプライン	5-stage	5-stage	不明	4-stage/2-stage
命令メモリー(キャッシュ)	16KB	16KB	32KBx2	4KB
データメモリー	16KB	16KB	32KBx2	
その他SRAM			8MB	256KB/128KB
アクセラレータ			KPU, APU, FFT, AES, SHA256	AES, DES, SHA256, RSA, ECC
外部インターフェース	GPIO, UART, PWM, SPI	GPIO, UART, PWM, SPI, I2C	GPIO, UART, SPI, I2C, I2S, PWM	GPIO, UART, I2C, SPI
ASIC	TSMC 180nm		TSMC 28nm	
動作周波数(MAX)	320MHz		400MHz	72MHz
SW開発環境	SDK, IDE提供	SDK, IDE提供	SDK提供	Toolchain提供
OS	FreeRTOS, Zephyr	FreeRTOS, Zephyr	FreeRTOS	FreeRTOS, Zephyr
URL	https://www.sifive.com/boards/hifive1	https://www.crowdsupply.com/sifive/hifive1-rev-b	https://kendryte.com/	https://open-isa.org/

価ボードが入手可能になってきた。こうした評価ボードを利用することで、RISC-V向けのソフトウェアの開発を実機上で進めることができる。SiFive社の「HiHive1」は、日本国内でも入手可能なArduino互換ボードであり、RISC-V上で何かソフトウェアを動作させるにはお手頃な製品である。各種の開発ホスト環境向けのクロスコンパイラーを含むSDKもリリースされており、Arduino IDEを使い、自由にプログラムの開発&実行ができる。

独自SoCの開発

RISC-Vを採用する動機の一つが、独自のSoC開発であろう。RISC-Vには特定のアプリケーションに特化して最適化を進めるドメイン固有アーキテクチャー(Domain Specific Architecture)を実現するための、最も先進的な仕組みが備わっ

ている。コアに関しても、表2に示すように様々なコアが様々な組織(大学、企業)からオープンソースとして公開されている。また、商用のコアも発表されている。

2015年にETH ZurichがPULPinoをGithub上でリリースした。その後、2016年にカリフォルニア大学バークレー校のRISC-V開発チームが立ち上げたSiFive社により開発されたFreedomもGitHub上で公開された。2018年末には米Western Digital社がRISC-Vのコアを開発している。今後も各社で開発したRISC-Vのコアを一般に公開する動きが続くと思われる。選択肢が増えることは好ましいが、利用に際しては自分たちに適したコアがどれなのかを見極める必要がある。

RISC-V実装の選択のポイント

RISC-Vのプロセッサの開発言語としては、SystemVerilogとChiselの二つが広く用いられている。一般的なハードウェア開発では、SystemVerilogの利用が一般的であり、SystemVerilogで記述されたRISC-V実装は多くのエンジニアに受け入れられやすい。またAXI/APBのようなバスを採用している場合が多く、既存のIPを組み込みやすい。

一方、Chiselはカリフォルニア大学バークレー校で開発された高位のハードウェア記述言語であり、Scala言語をベースに設計されたドメイン特化言語(DSL)である。同校で開発されているRISC-V実装の「Rocket-core」はChiselで記述されており、先に述べたSiFive社のFreedomもChiselで記述されている。この場合、内部バスはTileLinkとよばれる独自のものである。Verilogなどで書かれたIPを組み込むことは可能であるが、Chiselの開発環境で

の検証には制約がある。現状ではChiselに慣れた開発者が少ないことが課題と言える。今後ドメイン固有アーキテクチャーを実現するために、命令を追加したり、コ・プロセッサを組み合わせたりする作業には、カリフォルニア大学バークレー校が開発した新しい言語と開発環境の利用は検討の価値がある。

こうしたコアの選択のポイントとしては、以下の項目について注意する必要がある。

- メモリー構成
- セキュリティー機能
- デバッグ機能(JTAG)
- ソフトウェア・サポート

メモリー構成

一般に、命令実行用とデータ用の二つの内部メモリー(SRAM)が必要となる。これらがキャッシュとして実装される場合は、プロセッサチップの外部に、より大きなメモリーを接続することとなる。アプリケーションは外部に接続されたフラッシュメモリーなどに保存される。

メモリーマップはそれぞれの実装で異なるため、ソフトウェアで複数のSoCをサポートする場合は注意が必要であるが、これはArmコアを用いる場合でも同様である。

セキュリティー機能

IoTのエッジデバイスではセキュリティーの確保が重要になる。RISC-Vのコア自体のセキュリティー機能としては特権レベルとメモリー保護機能(Physical Memory Protection:PMP)がある。現時点では、暗号処理向けの命令セットはまだ策定中であり、暗号処理を高速化、低消費電力化するためには、独自命令の追加、暗号アクセラレーターの追加などが必要である。

GAPUINO
100,00€
GreenWaves Technologies(仏)
GAP8
RI5CY (8 core)
RV32IMC
4-stage
64KB(L1)
512KB(L2)
CNN
UART, SPI, I2C, I2S, PWM, GPIO
TSMC 55LP
250MHz
SDK提供
FreeRTOS
https://greenwaves-technologies.com/product/gapuino/

表2 エッジ向けのRISC-Vコア一覧

SoC名	PULPino	PULPissimo				Freedom E300					Briey	PicoSoC
コア	RI5CY	RI5CY	Zero-Riscy	Micro-Riscy	Z-SCALE	E300	E51	E31	E24	E21/E20		PicoRV32
開発元	ETH Zurich	ETH Zurich	ETH Zurich	ETH Zurich	UCB	SiFive	SiFive	SiFive	SiFive		SpinalHDL	Clifford Wolf
ISA	RV32IMCX	RV32IMCX	RV32IMC	RV32EC	RV32IM	RV32IMAC	RV64IMAC	RV31IMAF	RV32IMC	RV32IMAF/ RV32IMAC	RV32IMC	RV32IMC
パイプライン	4-stage	4-stage	2-stage	2-stage	3-stage	5-stage	5-stage	5-stage	5-stage	3-stage	5-stage	
内部メモリー	32KB I-SRAM, 32KB D-SRAM					I-Cache, D-SRAM	I-Cache, D-SRAM	I-Cache, D-SRAM				1KB
内部バス	AXI/APB	AXI/APB			AHB-Lite	TileLink	TileLink	TileLink				AXI4
Privilege levels	M	M				M,(U)	M,U	M,U	M,U	M		
PMP	N/A	N/A				16	Max 16	Max 16	Max 16			
設計言語	SystemVerilog	SystemVerilog	SystemVerilog	SystemVerilog	Verilog	Chisel	Chisel	Chisel	Chisel	Chisel	SpinalHDL	Verilog
Dhrystone (DMIPS/MHz)					1.35		1.8	1.61	1.61	1.38		0.31
CoreMark (CoreMarks/MHz)		3.19	2.44	0.91			2.76	2.73	3.01	3.1		
I/F	I2C, UART, GPIO, SPI											SPI, UART
デバッグ	SPI Slave経由					JTAG	JTAG	JTAG				
FPGA	ZedBoard				LX9 Microboard	Arty A7					DE1-SoC, DE0-Nano	iCE40-HX8K
ソフトウェア開発環境	pulp-builder SDK	pulp-builder SDK				Arduino, Freedom-SDK						
OS	FreeRTOS					FreeRTOS, Zephyr						
ライセンス	Solderpad HW	Solderpad HW	Solderpad HW	Solderpad HW	BSD	BSD	商用	商用	商用	商用	MIT	ISC
Github	https://github.com/pulp-platform/pulpino	https://github.com/pulp-platform/pulpissimo	https://github.com/pulp-platform/zero-riscy		https://github.com/ucb-bar/vscale	https://github.com/sifive/freedom					https://github.com/SpinalHDL/VexRiscv	https://github.com/cliffordwolf/picov32/tree/master/picosoc

特権レベルについてはM (Machine) モードとU (User) モードの二つをサポートする場合が多い。これとPMPを組み合わせることで、ファームウェアを保護することができる。RISC-V Foundationでは、一般にTEE (Trusted Execution Environment) と呼ばれるセキュアな実行環境を、こうした機能を用いて実現するための作業が進められている。

デバッグ機能

プロセッサのデバッグとして一般的なJTAGのサポートの有無も重要である。OpenOCD経由でデバッグできることが望ましい。

ソフトウェア開発環境

一般的にはCもしくはC++を用いてソフトウェアの開発を行う。GCCはすでに

RISC-Vに対応しており、各ホスト環境に応じたクロスコンパイラが入手可能である。各種のコアは最低限クロスコンパイラには対応している。ものによっては、BSPを含むSDKや、IDEが提供される場合もある。OSについてもFreeRTOSやZephyrなどのRISC-V対応が進んでいる。

ASIC化のサポート

GitHub上で公開されている実装は、主にFPGAでの評価までの情報しか公開されていない。機能評価はFPGAを使った環境で十分だが、最終的にシリコンに落とす際には、各種テクノロジーに依存したライブラリーやメモリー、I/OなどのIPが必要となる。この部分はまだ敷居が高いのが現実である。社内にそうしたサポートがない場合は、商用の支援サービスを利用するのも一つの方法である。近年はクラウド上で

ASIC化を支援するサービスも始まってきており、将来は簡単にチップが作れる時代がくるかもしれない。

ETH ZurichのPULPino

ここからは、RISC-Vの実装として代表的なETH ZurichのPULPinoとSiFiveのFreedomについて概要を紹介する。

まずPULPinoであるが、元々ETH ZurichはOpenRISCコアを使った低消費電力プロセッサの研究を進めており、そのプロセッサコアをRISC-Vに変更したものが、PULPinoである。そのため公開当初からSoC用コアとして十分な機能を持っていた。またFPGAでの検証環境もサポートしている。設計はSystemVerilogで記述されており、内部バスもAXI/APBであるため、組み込みプロセッサの開発経験があれば簡単に機能の追加や変更が可能である。

Raven	Icicle	Riscy-SoC	mriscv	ORCA	ArtyS7-RPU-SoC	SHAKTI E-Class	SHAKTI C-Class	SweRV Core	N25/N25F	NX25/NX25F	Piccolo	Mi-V
PicoRV32	Icicle	(Icicle)	mriscvcore	ORCA	RPU	E-Class	C-Class	SweRV EH1	N25/N25F	NX25/NX25F	Piccolo	Mi-V
efabless engineering	Graham Edgecombe	Aleksandar Kostovic	OnchipUIS	VectorBlox	Colin Riley	IIT-Madras	IIT-Madras	Western Digital	Andes	Andes	Bluespec	Microsemi
	RV32I	RV64I	RV32I	RV32IM	RV32I	RV32/64-IMAC	RV64IMAFD	RV32IMC	RV32IMAC	RV64IMAC	RV32ACIMU	RV32IMA, RV32IMF
	5-stage			4 or 5-stage		3-stage	6-stage	9-stage	5-stage	5-stage	3-stage	
4KB	8KB		4KB SRAM					I-Cache, ECC	I-Cache & D-Cache, 8KB to 64KB	I-Cache & D-Cache, 8KB to 64KB		8KB I-Cache, 8KB D-Cache
			AXI4, APB					AMBA	AHB or AXI	AHB or AXI		
								M	M, U	M,U	M,U	
								N/A?	16 regions	16 regions		
Verilog	SystemVerilog	Verilog	Verilog	VHDL	VHDL	Bluespec System Verilog	Bluespec System Verilog	SystemVerilog	Verilog	Verilog	Bluespec System Verilog	Verilog
0.31				0.98			1.67		2.85	3.22		
							2.2	4.9	3.58	3.52		
GPIO, ADC, DAC, SPI, UART	UART, SPI	UART	ADC, DAC, GPIO, SPI	DE2-115, iCE5LP4K, ZED			UART, QSPI, I2C					
	iCE40-HX8K	iCE 40	NEXYS4		Arty S7-50	Artix7 FPGA		N/A				M2GL025
								N/A	AndeSight IDE	AndeSight IDE		
												FreeRTOS, Zephyr
ISC	ISC	MIT	MIT/BSD	BSD	Apache2.0	GPL 3 /BSD	BSD	Apache2.0	商用	商用	Apache2.0	
https://github.com/efabless/raven-picoRV32	https://github.com/grahamedgecombe/icicle	https://github.com/AleksandarKostovic/Riscy-SoC	https://github.com/onchipuis/mriscv	https://github.com/vectorblox/orca	https://github.com/Domipheus/ArtyS7-RPU-SoC	https://gitlab.com/shaktiproject/cores/e-class	https://gitlab.com/shaktiproject/cores/c-class	https://github.com/westerndigitalcorporation/swerv_eh1			https://github.com/bluespec/Piccolo	https://github.com/RISCV-on-Microsemi-FPGA/M2GL025-Creative-Board

FPGAの評価環境はXiinx社のZinqを用いる。ARMのコアを経由してRISC-V側にアクセスするので、開発環境の構築に少し手間が掛かる。表1に挙げたVEGAやGAPUINOはコアとしてETH Zurichで開発されたRI5CYを採用している。

SiFiveのFreedom

一方、Freedomは、SiFive社の組込み用のSoCで、カリフォルニア大学バークレー校が開発しているRocket-coreをベースに、組込みで必要となるペリフェラルを追加し、SoCの形にまとめたものである。ScalaベースのDSL(ドメイン固有言語)であるChiselで記述されており、構成変更が容易である。実際には、ChiselからFIRRTLと呼ばれる独自のRTL記述に変換され、さらにVerilogのRTLコードが生成される。以降は通常の論理合成ツール

を用いて、FPGAやASICのネットリストを生成する。Tilelinkと呼ばれる独自の内部バスを採用しており、既存IPの利用には制約がある。

ペリフェラルの追加はChiselでの再設計が望ましい。そのため、新規にChisel言語の習得が必要となるが、Rocket-coreへの命令の追加やRoCCと呼ばれるコ・プロセッサ機能などがあり、ドメインに特化した最適化に適した開発環境である。この他にもSiFive社は表2に示すような性質の異なる商用コアもいくつかリリースしているので、製品で使用する場合はそうしたコアの採用も可能である。表1に挙げたArduino互換のボードも入手可能である。

また、GitHubで公開されているChiselのソースコードを元に実際にFPGAで動作させるまでの作業も体験できる。ソフトウェア開発環境もリリースされており、最も

簡単にRISC-Vの世界が体験できる環境を提供している。FPGA版の実装のソフトウェアのアップロードはJTAG、OpenOCD経由で行うため、JTAGアダプターが別途必要となる。

まとめ

以上、エッジ向けのRISC-Vコア、SoCを簡単に紹介したが、RISC-Vのエコシステムはこの数年で急速に広がってきており、今後一般に入手可能なプロセッサやボードも増えてくると思われる。そうした既存のチップを使ってエッジ機器を作るだけでなく、SoCレベルで自由に最適化を試みることができる点が、RISC-Vと従来ISAとの大きな違いである。組込みの場合安価なFPGAボードを使い、手軽にRISC-Vの評価を始めることができるので、ぜひオープンなISAのメリットを体験していただきたい。

RISC-Vを触ってみる。無料で始められるRISC-V開発環境の構築とFPGA実装

FPGA開発日記

「RISC-V」のISAはオープンソースであり、様々な企業や団体がRISC-Vに対応したオープンソースCPUコアを公開している。RISC-Vを触ってみたい技術者はネット上から情報を入手でき、無料のRISC-Vコアを使用してFPGAに実装したり、ASICを起こすことができる。

ここでは、RISC-V対応のオープンソースCPUコアを使うための様々な開発環境の紹介と、その構築方法についてイントロダクションを行う。

2019年現在、ネット上にはRISC-Vに関する多様なリソースが公開されている。RISC-V ISAの仕様書、オープンソースのCPUコア、コンパイラからLinux、無料の開発環境まで様々だ。技術者は自分の興味のある部分からRISC-Vを触り始めることができる。

RISC-Vをどのように使っていきたいのか。その活用法は人によって千差万別である。以下の項目に注目して、はじめの一步を踏み出すための手順について解説していきたい。

- とりあえず手元のCプログラムをRISC-V ISAでコンパイルして、命令セット・シミュレーターで動かしてみたい。
- オープンソースのRISC-V CPUコアを使ってRTLシミュレーションを行い、FPGAで動かしてみたい。

.....

筆者がRISC-Vについて調査を始めた2015年当時、RISC-Vのソフトウェア環境とハードウェア環境はほとんど公開されていなかった。しかし、現在はQEMUのようなエミュレーターからLinuxのようなOS、GCC (GNU Compiler Collection) やLLVMなどコンパイラ関連、そして多くの団体から公開されたオープンソースCPUコアまでよりどりみどりの状態になった。ネットを検索すればすぐに多くの情報を入手できるので、今回紹介するもの以外でも興味があれば、ぜひ調べてみてほしい。

RISC-Vソフトウェア開発環境の構築手順

RISC-Vソフトウェアを開発するためにまず必要なのは、コンパイラやシミュレーターなどのツール群だ。GitHubに公開さ

れている「riscv-tools」(<https://github.com/riscv/riscv-tools>)は、これらの環境がすべて入っているリポジトリである。このリポジトリをダウンロードすると、とりあえず必要なツール群を一式揃

コード1

```
git clone https://github.com/riscv/riscv-tools.git
cd riscv-tools
export RISCV=/home/msyksphinz/riscv64
MAKEFLAGS="-j8" ./build.sh
...
cd {RISCV}/
export PATH={RISCV}/bin:{PATH}
export LD_LIBRARY_PATH={RISCV}/lib:{LD_LIBRARY_PATH}
```

コード2

```
#include <stdio.h>

int gcd (int a, int b)
{
    int c;
    if (a < b) {
        int tmp; tmp = b; b = a; a = tmp;
    }
    while (b != 0) {
        c = a % b; a = b; b = c;
    }
    return a;
}

int main ()
{
    printf ("Calling GCD ...\n");
    printf ("GCD(411, 27117) = %d\n", gcd(411, 27117));
    return 0;
}
```

コード3

```
riscv64-unknown-elf-gcc gcd.c -o gcd
spike pk gcd
<<set terminal>>
<<reset terminal>>
Calling GCD ...
GCD(411, 27117) = 3
<<reset terminal>>
```

コード4

```
git clone https://github.com/freechipsproject/rocket-chip.git --recurse-submodules
cd rocket-chip
cd emulator # Verilatorを使う場合
cd vsim # Synopsys VCSを使う場合
make CONFIG=DefaultConfig # DefaultConfig構成でビルド(RTL作成)
```

コード5

```
make output/rv64ui-p-add.out
```

えることができる(ただしリポジトリのサイズは数GBにおよぶので、すべてダウンロードするときはディスク容量に注意して欲しい)。

以下の手順でツールセットをダウンロードしてビルドする。ここで環境変数「\${RISCV}」(=/home/msyksphinz/riscv64)を設定しているが、このディレクトリにツール群がインストールされることになる。(コード1)

では、早速C言語のプログラムを「RISC-V GCC」でコンパイルして、命令セット・シミュレーター「spike」で実行してみる。以下のような最大公約数(gcd)を計算するプログラムをコンパイルしてみよう。(コード2)

「riscv64-unknown-elf-gcc」でコンパイルし、spikeで実行する。spikeはRISC-Vの命令セット・シミュレーターであり、「printf()」呼び出しなどのシステムコールにも対応している。(コード3)

このように、簡単にC言語のプログラムをコンパイルし、RISC-Vシミュレーターでその動作を確認することができる。

Rocket-Chipを使った RTLシミュレーションとFPGA実装

次に、RISC-VのオープンソースによるCPU実装の手順を見てみよう。RISC-Vのオープンソース実装は現在では多くの企業や団体から公開されている。最も有名なものはカリフォルニア大学バークレー校や米SiFive社が管理している「Rocket-Chip」(<https://github.com/freechipsproject/rocket-chip>)だろう。Rocket-ChipはRTLシミュレーション、FPGA実装、またはAWS F1インスタンスでの動作と、様々な環境をサポートしている。

- このRocket-Chipの特徴としては、
- ソースコードがすべて公開されており、無料
 - RISC-Vの仕様決定に近いメンバーが開発しているので、最新仕様はかなり追従している。
 - 開発の経緯がすべてGitHub上で公開されており、現在でもアップデートが続いており開発が活発。
 - ソースコードはVerilogやVHDLではなくChiselと呼ばれるハードウェア開発言語で記述されている。

おそらく多くの技術者にとってみれば、このChiselという言葉のハードルが最も高いであろうと思われる。しかし、Rocket-Chipをダウンロードしてそのまま使うのであれば、Chiselの知識は必要ない。全自動でVerilogに変換されRTLシミュレーションからFPGAの構築まで行うことができるので、ユーザーはChiselの知識は全く必要ないのである(ただし改造しようとなるとChiselの勉強をしっかりと行わないといけない)。

Rocket-Chipのダウンロードとビルド

Rocket-Chipのダウンロードとビルドは、以下のように行う。(コード4)

Rocket-ChipをRTLシミュレーションする手段として、無料のRTLシミュレーション・ツールである「Verilator」を使用するか、米Synopsys社の有料RTLシミュレーターである「VCS」を使う方法の2つが提供されている。使用するツールに応じてディレクトリが異なるので、適切なディレクトリに移動して「make」コマンドを実行する。すると現在の構成パラメーター(今回はDefaultConfigとした)に応じて

コード6

```
$ grep "\[1\] pc=" output/rv64ui-p-add.out
C0:      53763 [1] pc=[0000000824] W[r 0=0000000000000000][0] R[r 8=0000000000000000] R[r
0=0000000000000000] inst=[fe0408e3] beqz    s0, pc - 16
C0:      53764 [1] pc=[0000000814] W[r 8=0000000000000000][1] R[r 0=0000000000000000]
R[r20=0000000000000003] inst=[f1402473] csrr    s0, mhartid
C0:      53767 [1] pc=[0000000818] W[r 0=0000000000000100][0] R[r 0=0000000000000000] R[r
8=0000000000000000] inst=[10802023] sw      s0, 256(zero)
C0:      53773 [1] pc=[000000081c] W[r 0=0000000000000400][1] R[r 8=0000000000000000] R[r
0=0000000000000000] inst=[40044403] lbu      s0, 1024(s0)
C0:      53781 [1] pc=[0000000820] W[r 8=0000000000000000][1] R[r 8=0000000000000000] R[r
3=0000000000000003] inst=[00347413] andi    s0, s0, 3
C0:      53782 [1] pc=[0000000824] W[r 0=0000000000000000][0] R[r 8=0000000000000000] R[r
0=0000000000000000] inst=[fe0408e3] beqz    s0, pc - 16
C0:      53783 [1] pc=[0000000814] W[r 8=0000000000000000][1] R[r 0=0000000000000000]
R[r20=0000000000000003] inst=[f1402473] csrr    s0, mhartid
C0:      53786 [1] pc=[0000000818] W[r 0=0000000000000100][0] R[r 0=0000000000000000] R[r
8=0000000000000000] inst=[10802023] sw      s0, 256(zero)
C0:      53792 [1] pc=[000000081c] W[r 0=0000000000000400][1] R[r 8=0000000000000000] R[r
0=0000000000000000] inst=[40044403] lbu      s0, 1024(s0)
...
```

コード7

```
git clone https://github.com/ucb-bar/fpga-zynq.git --recurse-submodules
cd zedboard # zedboard / zybo / zc706のどれかを選択する。
make
```

Verilogのコードが生成される。

実際にテストベンチを渡してRTLシミュレーターでシミュレーションするためには、以下のように実行する。以下はRISC-Vのテストパターンである「rv64ui-p-add(加算命令のテスト)」を実行した結果である。

(コード5)

RTLの実行トレースが出力されているので、見易いように加工する。プログラムカウンターとアップデートされたレジスタファイルの情報などが記録されており、テストベンチの実行結果を確認できる。(コード6)

ZedBoardを使用したRocket-ChipのFPGAインプリメント

Rocket-Chipは単体のCPU環境だが、これを米Xilinx社のFPGAにインプリメントするための環境も公開されている(図1)。「fpga-zynq」リポジトリ(<https://github.com/ucb-bar/fpga-zynq>)もしくは、「freedomプラットフォーム」リポジトリ(<https://github.com/sifive/freedom>)である。実はfpga-zynqリポジトリはアップデートがほとんど行われていない。freedomプラットフォームならば最新に追従しているのだが、筆者はXilinx社の「ZYNQ」をメインに使用しているので、fpga-zynqを使用する。

Rocket-ChipでのZYNQ環境の構築は非常に単純で、fpga-zynqリポジトリをダウンロードしてから(こちらもRocket-Chipをサブモジュールとしてダウンロードするためサイズが非常に大きいため要注

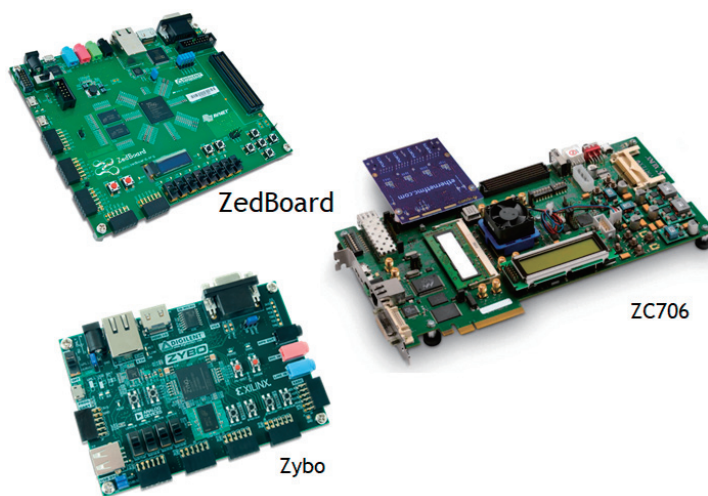


図1 RISC-Vの実装であるRocket-Chipは、Xilinx社のさまざまなボードでサポートされている

コード8

```
root@zynq:~# ./fesvr-zynq pk hello
hello!
```

コード9

```
root@zynq:~# mkdir /sdcard
root@zynq:~# mount /dev/mmcbk0p1 /sdcard
root@zynq:~# ./fesvr-zynq +disk=/sdcard/riscv/root.bin bbl /sdcard/riscv/vmlinux
```

意)、ビルドしたいFPGAボードのディレクトリーに移動してmakeを実行するだけである。これだけで、FPGAのブートに必要なFSBL、U-Boot、制御用Armコアのブートに必要な「PetaLinux」のビルドなどもすべて全自動で行ってくれる。(コード7)

しばらくするとビルドが完了する。Rocket-ChipのVerilogファイルと、Vivadoプロジェクトの生成、そしてFPGAに書き込むためのファイルの生成などすべて自動的に実行される。そして、生成されたビルドファイル群をSDカードに書き込み、ZYNQボード(今回はZedBoardを使用し

た)に差して電源を入れればよい。こうすることで、まずはArmコア上でPetaLinuxがブートされる。ZedBoardからの出力を観測するために、ZedBoardからUSBシリアルポートを接続する。今回は接続にTeraTermを使用し、図2のような設定を行った。

PetaLinuxにログインできたら、次はRocket-Chipを動作させる。Rocket-ChipはZYNQのPL部(ProgrammableLogic部)に書き込まれているため、PS部(ProcessingSystem部、つまりArmコア)から制御する必要がある。Armのコンソールから以下のように入力する。(コード8)

helloと表示されれば、Rocket-Chipが動作していることを確認できる。

さらに、フロントエンドからRocket-Chip上でLinuxを立ち上げることもできる。図3はRocket-Chip上でLinuxをブートさせた様子である。(コード9)

このように、RISC-Vを試してみたいと思ったとき、様々な手段が用意されている。特にFPGAでの実装は、好みのカスタマイズなどが容易なため、RISC-Vの導入を検討したい場合には一度試行してみるとよいだろう。

図2 Rocket-Chipの動作を観測するためのTeraTermの設定

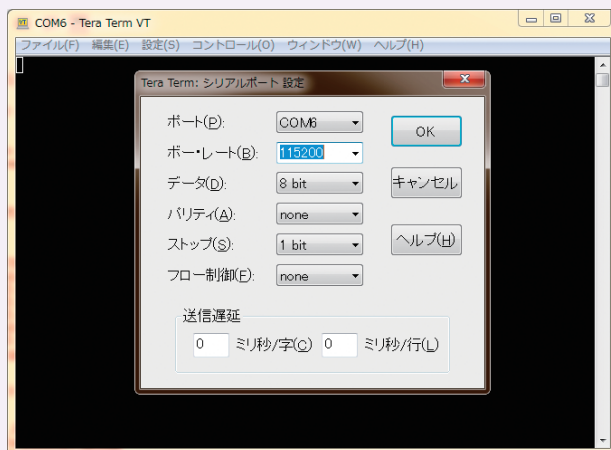
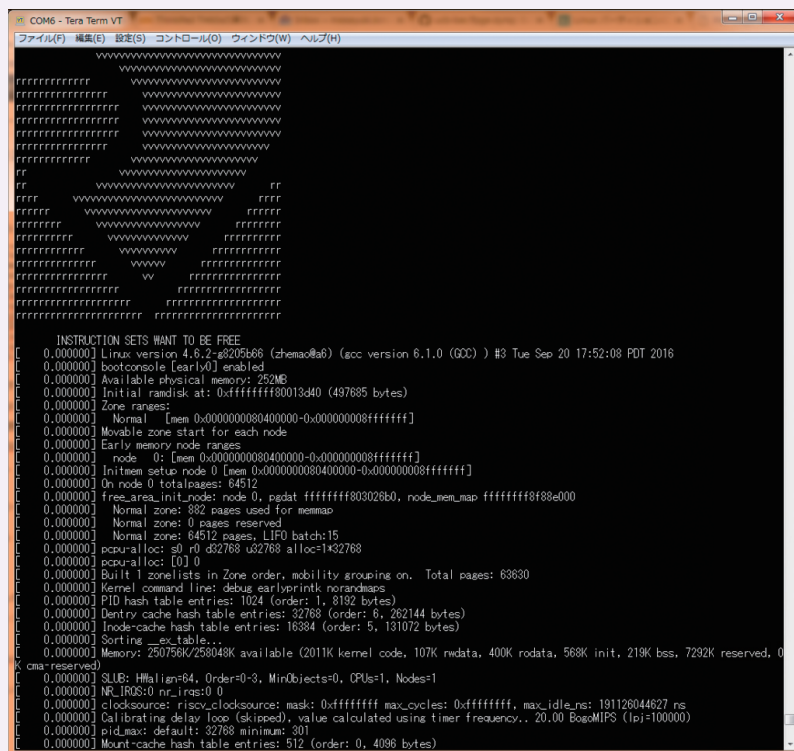


図3 Rocket-Chip上でLinuxをブートさせた様子



TEEを中心とするCPUセキュリティの動向

産業技術総合研究所 須崎 有康

スマートフォンでの指紋認証のような漏洩してはいけないデータの処理や、PCでリモートから機密情報を扱う処理を、OSとは独立してCPUで実行できる仕組みが求められている。

こうした要望を実現するため、最近のCPUには、OSとは独立して安全に実行できる環境を提供する機能

「Trusted Execution Environment (TEE)」が搭載されるようになった。

現状で活用できるTEEとして、英Arm社の「TrustZone」と米Intel社の「SGX (Software Guard Extensions)」がある。

そして、オープンソース・アーキテクチャーとして普及が進むRISC-Vでも、TEEの機能を取り込む研究が進んでいる。

ここでは、それに関する技術動向を概観する。

TEEとは、OSとは独立して、プログラムを安全に実行できる環境のことである。その目的や実際の実装は、提供するサービスによって大きく異なる。誤解を恐れずにユースケースを定義すると、大きく二つに大別できる。一つは、スマートフォンなどのモバイルデバイスにおいて、デバイスが得た情報をOSとは独立して外部に出さずに処理するようなケース（例えば指紋認証）。もう一つは、PCなどで、外部から機密情報を含んだ処理（例えば暗号通貨に関わる処理）を依頼する際に、OSとは独立に処理するようなケースである。

前者に対応するのがArm社のTrust-

Zoneであり、電源投入時からTEE環境を用意する。ここには「Trusted OS」が実装され、その上で「Trusted Application (TA)」を動かすことが想定されている。後者に対応するのがIntel社のSGXであり、要求があるたびに独立した実行環境である「Enclave」を用意する。RISC-V向けについては、このEnclaveを発展させたTEEの研究が進んでいる。

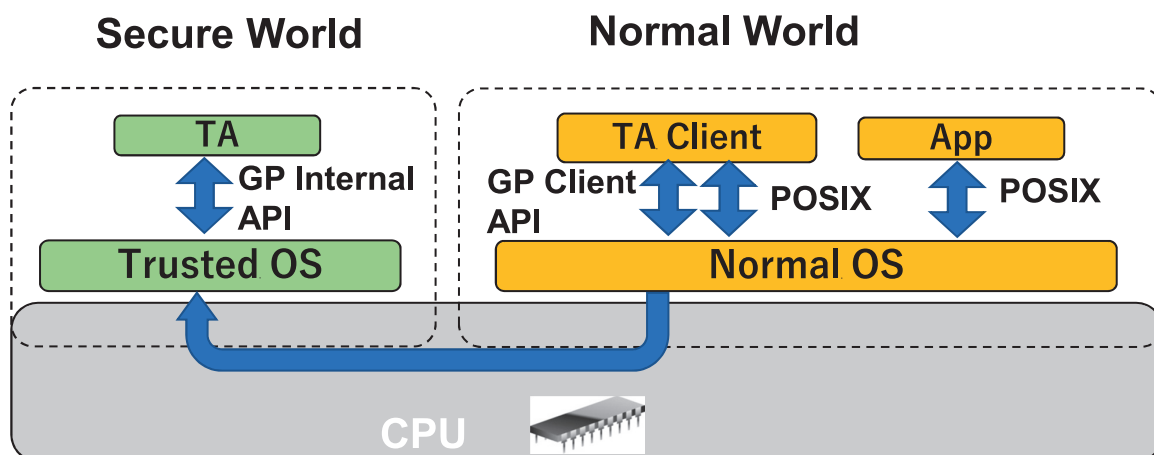
GlobalPlatformのTEE要件と仕様

ICカードのセキュリティ仕様を定義している「GlobalPlatform」では、TEEとして7つの要件を定義している。すなわち、①

OSとは独立に実行すること、②それぞれのTAは独立して実行すること、③信頼された者のみがTrusted OSとTAを修正できること、④ブートプロセスがSoC (System on Chip) にバインドされ、TEEファームウェアとTAの真正性と完全性を強制できること、⑤信頼できるストレージを用意すること、⑥ペリフェラルには安全にアクセスすること、⑦最新の暗号化技術を使うこと、である。これらすべての要件を満たすのは、モバイルデバイス型のTEEである。

GlobalPlatformでは、CPUがNormal WorldとSecure Worldに分かれていることと想定しており、それぞれで通常のOSと

図1 GlobalPlatformが定義するTEEの概要図



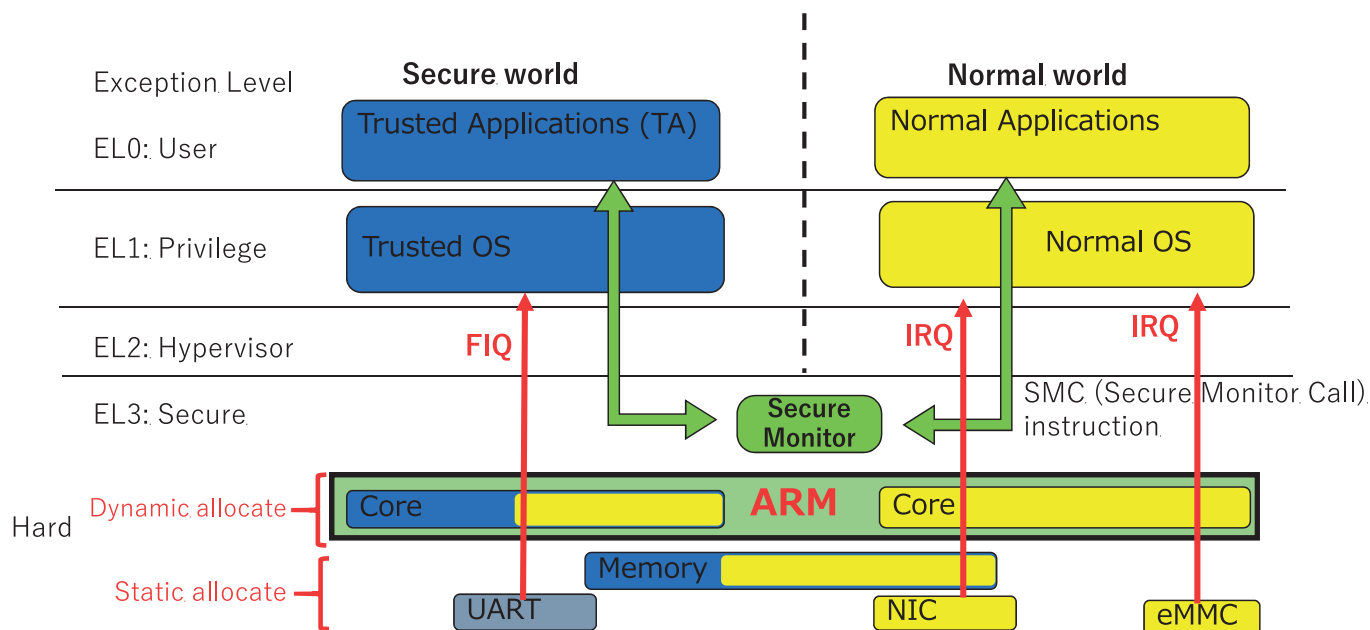


図2 Cortex-AのTrustZone実装概念図

Trusted OSを起動する。この様子を図1に示す。Trusted OSは通常のOSと異なり、ストレージやI/Oの機能がない。このためTAとして、通常のアプリケーションをそのままでは動かすことはできない。

Secure WorldのTAは、通常のOSでアプリケーションとして動くTA Clientからロード、起動、停止される。「TA Client」が使うAPIは、「GlobalPlatform Client API」として定義されており、TAがTrusted OSとやり取りを行うAPIは「GlobalPlatform Internal Core API」で定義されている。Internal Core APIはPOSIXと大きく異なり、暗号化のためのBig Integerなどを扱う。

Arm TrustZone

Armコアは、モバイルデバイス型のTEEを代表するCPUコアである。GlobalPlatformの定義と同様に、CPUをSecure WorldとNormal Worldに分割して、通常

のOSとTrusted OSを起動する。

Arm社のTrustZoneの歴史は古く、2003年の「ARMv6K」から導入されている。ただし、実際に使われるようになったのは「ARMv7」「ARMv8」からである。また、スマートフォンで使われている高性能の「Cortex-A」と、組み込みで使われてCPUパワーに対する高い応答性が要求される「Cortex-M」ではアーキテクチャーが異なる。ここではCortex-Aを中心にTrustZoneを説明する。

Cortex-AでのTrustZoneの実装を図2に示す。Cortex-Aでは特権レベル(Exception Level)が4つあり、Secure WorldとNormal Worldそれぞれでこれら4つを利用してOSを動かすことができる。Normal WorldとSecure Worldの双方を行き来する際にはSMC命令を実行し、Secure Monitorを通して通信する。Secure Worldに割り当てられるハードウェアによってメモリーやペリフェラルが起

動時に決まるが、CPUコアはSMC命令でモードが変わるので動的に役割が変わる。また、Cortex-Aでは、割り込みをSecure WorldとNormal Worldそれぞれに割り当て、「Fast Interrupt reQuest (FIQ)」または「Interrupt ReQuest (IRQ)」として割り込みを受けつける。

Cortex-AのTrustZone起動手順を図3に示す。図中のBLはBootLoaderのレベルを表しており、BL1からBL33までである。電源投入直後に実行されるBL1はBootROMでSoC固有のものであり、Secure WorldのEL3(Secure)で処理される。BL1ではBL2である「Trusted Boot Firmware」を検出して、EL1で制御を渡す。BL2ではSecure Worldで使うメモリーの確保やペリフェラルの割り当てを行う。その後はBL31をSecure WorldのEL3で「Secure Monitor」を、Secure WorldのEL1でSecure OSを、Normal WorldのEL1でNormal OSをそれぞれ起動し、定

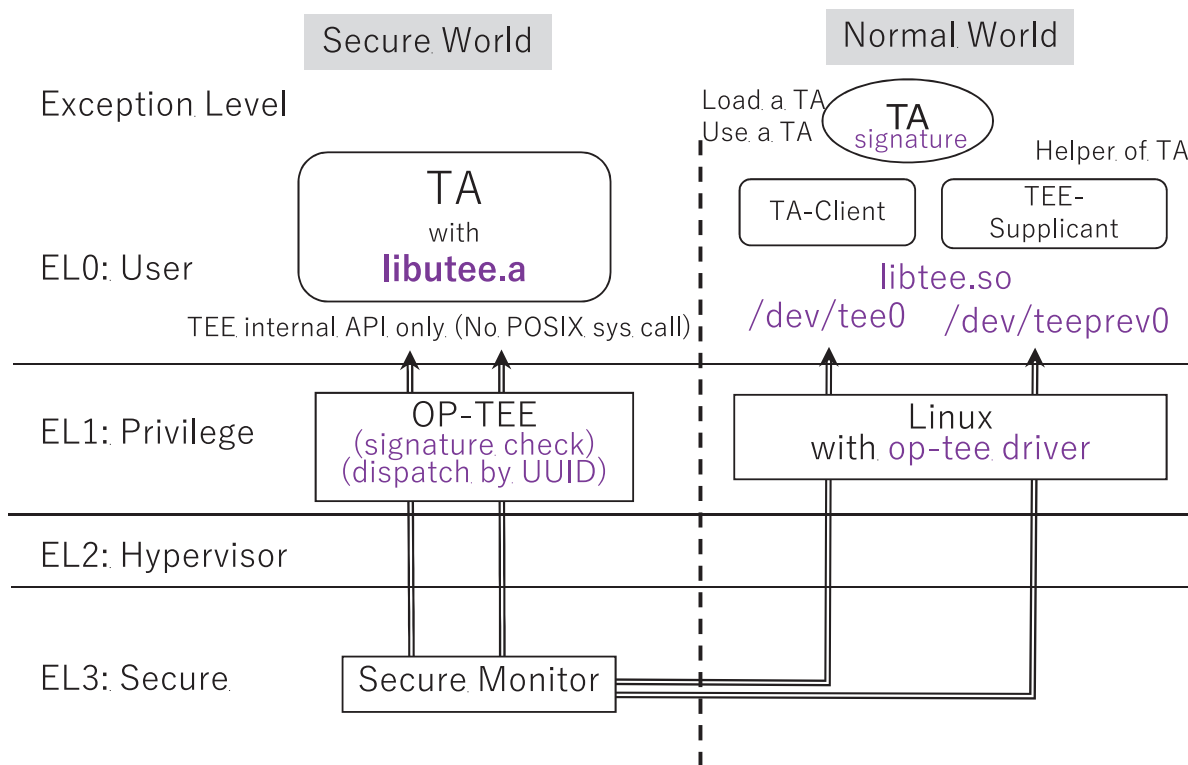


図3 Cortex-AのTrustZone起動手順

常状態へ移行する。

Trusted OS

Cortex-AのTrustZoneでは、いくつかのTrusted OSが使われている。商用としては「iPhone」の「Secure Enclave」、韓国 Samsung Electronics社の「Knox」、米 Qualcomm社の「QTEE」、中国Huawei社の「TrustedCore」などがある。オープンソースとしては、フィンランドのアールト大学の「Open-TEE」、米Google社の「Trusty」、Arm用Linuxカーネルを開発する非営利組織であるLinaroの「OP-TEE」などがある。ここでは、我々が使っているOP-TEEを基に説明する。

図4にOP-TEEの構成図を示す。OP-TEEではGlobalPlatformが定義するClient APIとInternal core APIのそれぞ

れに基づくAPIを提供しており、図中のTA ClientをTAがそれぞれ従わせる。TA ClientはLinuxの/dev/tee0を通してTAのロード、起動、終了を管理する。ロードするTAにはOP-TEEの秘密鍵で署名された「signature」が付けられており、これをOP-TEEが検証することでロードする。また、ロードする際には「UUID」が付けられ、このUUIDでTAを識別する。TAからI/Oの要求などは、「/dev/teepriv0」を通して、Linux上の「TEE-Suppliant」に要求する。

Arm TrustZoneの脆弱性

Arm TrustZoneについての脆弱性はいくつか報告されているが、多くはTrusted OSおよびTAの実装上の脆弱性である。このうち、NDSS2018で発表された

「Boomerang Flaw」と呼ばれる脆弱性は、多くの実装で生じる。Boomerang Flawは、TAのポイント操作を悪用する攻撃であり、TrustZoneがSecure Worldの任意のメモリー空間にアクセスできることを利用する。攻撃されたTAから、Normal Worldで機密情報を含むメモリー空間にアクセスして情報を盗む。そのTAから攻撃者のNormal Worldのアプリケーションに伝えるため、Boomerang Flawと呼ばれる。

Intel SGX

SGXはIntel CPUで2015年にリリースされた「Skylake」から追加されたセキュリティ機能である。先に説明したように、外部からの処理依頼をOSとは独立に行うためのハードウェア機構である。SGXは

「Enclave」と呼ぶ隔離された実行環境を動的に提供するが、ここでの実行レベルはユーザーレベルである「Ring3」のみである。メモリーもEnclave専用の物理メモリー空間が割り当てられ、この領域はOSからアクセスされることはない。OSを提供するための異なる特権レベルはなく、基本的にOSをEnclaveで実行することはできない。また、Arm TrustZoneと異なり、ペリフェラルを使うことができない。割込みが上がった場合はEnclaveの実行を中断してOSの割込みハンドラを実行した後にEnclaveに戻ってくる機構がある。

Intel社では、SGXで実行するバイナリーが正規にデバイス上で動作することを確認する「Remote Attestation」機能を提供している。Remote Attestationにより、デバイス上のBIOS/UEFIが最新であるか、enclave内で実行しようとしているバイナリーが意図したものであるかを外部から確認することができる。

SGXを使った代表的なターゲットとし

ては、コンテナの安全な実行するが挙げられる。代表的なプロジェクトとしてはSCONEがあり、オープンソースとして提供されている。

RISC-V Sanctum/Keystone

RISC-Vに向けたTEEには、Intel SGXを発展させたマサチューセッツ工科大学の「Sanctum」とカリフォルニア大学バークレイ校の「Keystone」がある。いずれもIntel SGXと同様にEnclaveを動的に作成できるが、特権レベルが1つではなく、複数に分かれており、Trusted OSとTAの分離ができる構造になっているが、まだ実装例がない。

Keystoneは2018年12月のRISC-V Summitにおいてオープンソース提供がアナウンスされた。現在の利用方法は3通り（QEMU、FPGA、RISC-V board）ある。QEMUエミュレーターで利用可能であり、RISC-Vハードウェアがなくても、誰でも動作を確認することができる。筆者は試してい

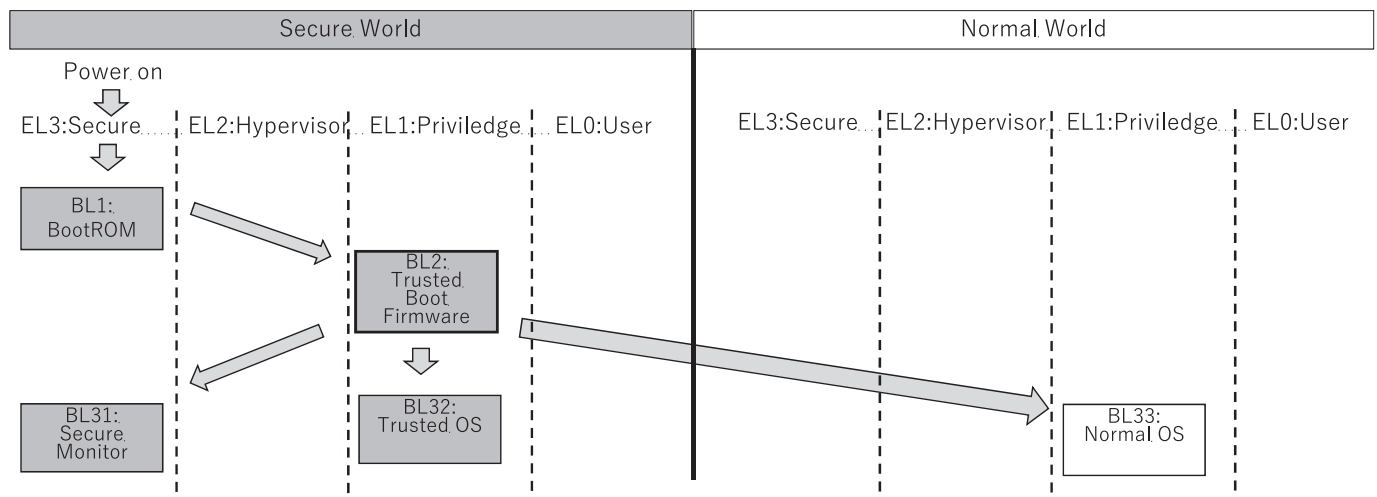
ないが、FPGAあるいは米Amazon.com社のFPGAが使える「AWS」でも実行できる。また、米SiFive社が販売している「RISC-V unleashed ボード」上では実際にサンプルが動作することを筆者が確認している。

RISC-V TEE WG

Keystoneは大学発の実験的なTEE拡張であるが、RISC-Vの仕様を決めるRISC-V FoundationでもTEEの仕様策定が進んでいる。これを進めているのはSecurity Chapterの下にあるTEE Working Groupであり、米NVIDIA社のJoe Xi氏がチェアを務めている。まだ、仕様は確定していないが、ペリフェラルの分離も想定されており、モバイルデバイス型のTEEになる予定である。

【謝辞】 本研究成果の一部は、NEDO「セキュアオープンアーキテクチャ基盤技術とそのAIエッジ応用研究開発」の支援によって実施したものである。

図4 OP-TEEの構成図



5つの事業領域で高い開発技術力を発揮 ソリューションの商用化にも注力し飛躍を目指す

1974年の設立以来、高い開発技術力で成長を続けてきたNTTデータニューソン(本社:東京都港区)。領域も幅広く、組み込み系システムやクラウド等ネットワークインフラ構築、Web系システム構築と多彩なシステムのインテグレーションを展開。さらに、新たなテクノロジーを用い先進のソリューション製品を生み出すなど、高度なテクノロジーサービスを提供し続ける。そうした自社ソリューションの開発にも意欲を示す同社に伺い近況を語っていただいた。

NTT DATA

株式会社NTTデータ ニューソン

代表取締役社長 戸村 元久氏



2017年NTTデータグループに 5つの領域をメインに事業展開

今年が設立から45年目。初めての方は“ニューソン”という社名に「どういう意味？」と気になるかもしれない。その由来は“ニュートンとエジソンを掛け合わせたもので、科学者ニュートンの確固たる技術力と、発明家エジソンの柔軟な発想力を兼ね備え、活かすことを目指して”付けられたものだそうだ。

業務開始から半世紀が近づきつつあるなか、ソフトウェアの受託開発をメインに幅広い領域においてサービスを展開してきた。2000年代に入ると重ねて大手企業との資本・業務提携を締結するなど業容を拡大。2017年にNTTデータグループの一員となり「ニューソン」から現社名に変更している。

軸とする事業は、アプリケーション開発・保守、システム基盤構築・運用、組み込み系開発、ソリューション、先進技術の5つの領域となる。「NTTデータのグループ会社としてしっかりと品質を担保しつつソフトウェアを提供するというのが差別化要素であり、当社の訴求ポイントになります」と

代表取締役社長の戸村元久氏が説明する領域が、アプリケーション開発・保守領域。金融、流通、製造、通信など幅広い業界のシステム提案から開発、保守に至る業務に対応する。特にWebシステム全般に対応し「当社でかなりのビジネスボリュームを占める領域」となっている。

システム基盤構築・運用領域は主にサーバ、クラウド、ネットワーク等のインフラ構築で、最近ではやはりクラウドシステム構築や仮想化システム関連の案件が多いようで「仮想化上にサーバ、Webシステム等を構築、あるいはデータベースを構築するといった案件はどんどん増えています」。またソリューションとする領域では、データウェアハウスやビジネスインテリジェンス(BI)システム構築など、こちらも業界問わず多方面での実績が蓄積されている。注力しているのはビッグデータに対応したソリューションで、社会的なニーズでもあり案件も増えているようだ。

組み込み系は自動車、医療に向う

そうしたなかで、組み込み系開発は通信系

のノウハウをコアに展開してきた。戸村氏は「携帯電話、いわゆるガラケーのソフトウェア開発に携わっていたころはビジネスボリュームもかなり多かった」と振り返る。培われてきたその技術は新たな分野に注がれ、いまは自動車、医療系の開発に向けられている。「自動車は自動運転、ECUの組み込みソフトウェア開発の領域に力を入れています。運転支援系の領域は今後も伸びていくでしょう」(戸村氏)

また、ウェアラブル機器への対応や組み込みセキュリティ分野も視野に入れている。セキュリティは、WebサーバやWebアプリケーションの脆弱性を診断している企業などとの連携を模索する。「例えばクルマの脆弱性。メモリの中を覗いてデータが取れてしまうのではないかと、いった脆弱性の診断などの事業を検討しています」(戸村氏)とし、家電や医療分野も模索中という。「ハードウェアを制御したりドライバをつくったりといったベーシックな世界とは違う領域も手掛けていきます」と戸村氏はひとつの方向性を示す。



スマートグラスによる遠隔作業支援システム「InfoMesh Visual Navigator®」のイメージ。現場作業者は両手を常に作業に集中させることができる。左はソリューション営業部担当部長の吉谷淳氏。

*スマートグラス「MOVERIO BT-300」使用

音声だけで操作可能な スマートグラスを商用化

NTTデータグループとしてのシナジー効果は、より高度な技術ニーズにも対応し得るものとなる。事業領域の各所で発揮されてきているが、「先進技術」とする領域はまさにそうで、NTTデータの研究開発成果を取り入れて、連携を図りながら商用化を進めている事業領域だ。最近の大きなトピックとなるのが、スマートグラスを活用した遠隔作業支援システム『InfoMesh Visual Navigator®』の開発。作業現場の作業者が使うスマートグラスに遠隔の監督者が指示を出す、作業者がスマートグラスを通じ監督者に報告する、といった連携を可能にする。「すべて音声認識で操作できる点が“売り”のひとつ」と戸村氏。活用の具体例をソリューション事業部ソリューション営業部 営業推進部部長の吉谷淳氏に紹介していただいた。

「スマートグラスに電子マニュアルの閲覧や作業手順を表示させて、どんどん作業が進められる。ビデオカメラと違うのは映像だけではなくそうした情報を現場に提供できる点。それにより作業員だけで作業を進めることもできます」。また進めていくなかで作業者が「ここはどうすればいいのか」とわからなくなったときにも活用できる。「作業者が撮影した目線写真に監督者が

マーキングして指示を返すことができます」。写真撮影も“OKコマンド、写真撮影”と発話するだけ。あくまで現場で点検保守や修理をする作業者視点でつくり込まれている。「作業者からしたらボタン操作は非常にわずらわしいもの。せっかくスマートグラスで両手が自由になるのなら、すべてにおいて手は使わないようにして作業に集中してもらえようにしたかった。音声で動くウェアラブルソフトウェアは意外と少ないようです」と吉谷氏。そうした希少性からか、商談のきっかけは製品を知った企業からの問い合わせが圧倒的に多いそうだ。

戸村氏は「現場が離島にある会社にも、現地に行く必要がないため重宝されます。そうした投資コストの削減にもつながる点も訴求ポイントとして展開している状況です」と説明する。

自社ソリューション強化がテーマ 技術者育成にも一工夫

今後に向けても、こうした自社ソリューションの比率を増やすことをひとつのテーマに置く。開発技術を提供する事業モデルとは角度の違う収益モデルが築ける。「いわゆる人月商売のビジネスは景気に左右されやすいもの。分野を問わず自社ソリューションの比率を増やしていくことが必要だと考えています」（戸村氏）

鍵となってくるのは人材だ。人材の確保、育成はどの企業も頭を悩ませている課題で同社もまた然り。とはいえNTTグループとなって多彩な研修プログラムが活かせるようになり「それを最大限活用しています。社員に対していろいろな研修メニューを用意して、その点でも魅力を感じてもらえる会社として訴求していきたい。研修を経て成長して自身の市場価値を高めてもらえれば」と戸村氏は話す。

また新たな試みとして、各事業部が新製品のアイデアを提案しあう社内コンテストを実施したという。選定したアイデアには試作品作成の予算をつけ商品化を検討していくというもので、今後の展開が楽しみだ。戸村氏自身は、過去に趣味で応募した携帯端末のソフトウェア開発コンテストで入賞経験があるという。

そんな戸村氏にJASAへの期待を伺うと「組込みエンジニアがもっと目立つような取り組みを期待したい」と技術者に向けられたコメントが返ってきた。「様々な機器に組込みエンジニアが構築したソフトが活かされていることは知られていません。非常に重要な仕事を担っていることをもっとアピールできると良いと思います」。業界の活性化に必須といえそうだが、同時に数年後には、同社のソリューションが業界に注目を集める一端を担っているかもしれない。



昨年のEmbedded Technology 2018、IoT Technology 2018では、スタートアップ・グローバルフォーラムを立ち上げました。

スタートアップ企業にとって、お金集めは社長の9割以上の仕事となっています。最近では、米国、欧州、イスラエル、中国、日本などに投資資金が集まり、皆さん儲かる商売を探しているので、投資家向けの説明会（ピッチイベント）は、日本でも、盛んにおこなわれています。投資家しか入れませんし、内容も秘密事項が多いので、見る機会は少ないと思います。現在は、第4次産業革命で、いい製品を作れば売れる時代は終わり、前回ご紹介したハードウェア委員会でも、今までの請負体質から提案型ビジネスの創生で新しいセミナーなどの施行を開始しました。

ピッチイベントを見てみますと、投資家向けのものと、業界のアライアンス構築向け、さらには、顧客向けと、いくつかのバリエーションがあるようですが、日本では、投資家向けが中心です。

Embedded Technology 2019、IoT Technology 2019では、業界のアライアンス構築向けのピッチを実施して、新しい事業の創生を狙います。彼らの中から、大企業、グローバル企業に成長する企業が生まれるのも近い将来です。第3、4回目は、2019年Embedded Technology 2019、IoT Technology 2019に向けて新しいチャレンジを推進するET事業本部と委員会をご紹介いたします。

ET事業本部の本部長渡辺様は、自社を昨年上場させ、親会社の取締役にも着任し、自動車業界からも、一目置かれている人物で、JASAの最大の事業であるEmbedded Technology、IoT Technologyのリーダーとして活躍していただいています。



ET事業本部 事業部長
渡辺 博之氏

(株)エクスマーシオン代表取締役

JASA理事、ET事業本部長、組込みIoTモデリングWG主査

ETロボコンの創成期から技術委員長として、ボランティアで若い人間の育成に努めてきました。

●運営にあたっての意気込み

JASAの主催事業であるET/IoT展を、第4次産業革命の担い手として期待が高まっているエッジテクノロジー総合展としてより大きく飛躍させ、ET業界をけん引するイベントにしていきたい。

ET事業推進本部は、JASAの1本の柱をより太く、より大きくしていただいている重要な部隊のまとめの組織です。渡辺様を筆頭に、副会長、各委員会の委員長が集まり、1年間の方針、展示トレンドの議論をして、決定していきます。

5月ごろには、方針が決定され、プレス発表、ポスターが作成されますが、そのあとに、他社の大きな展示会が実施されるわけですから、トレンドの見誤りがあつたら笑いものです。本当に真剣勝負です。ET×ETを決定するときも、世の中ではクラウド一色の時で、発表後、エッジは重要だと叫ばれるようになりました。

推進委員会（兼）渡辺 博之氏

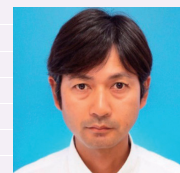
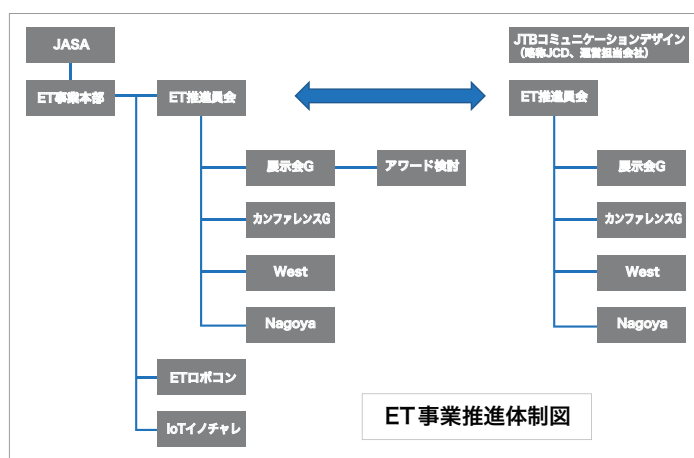
●運営にあたっての意気込み

エッジテクノロジー総合展としてのブランド確立と、魅力度アップする展示会の構成作りに注力したい。

本部と、ET実行にかかわるリーダーと運営会社のJCDが集まって、個々の方針、課題などを議論し、マイルストーンをチェック運営しています。

去年は、スタートアップ企業、グローバル企業のコーナーを立ち上げるために、手分けして、ピッチイベントに参加、大使館巡りなどを実施しました。

皆さん時間のなか、精力的に動いていた、活気あるコーナーを作ることができました。ありがとうございます。



安藤 亘氏

イーエルシステム(株)で組込システム開発、IoTの営業を担当。ETWest第一回目から実行委員として参加。

●運営にあたっての意気込み

ETの地方展開も含めて、展示会を通じて出展社・来場者が活性化できるよう、団体・コミュニティ・地域等が連携していけるように活動していきたいと思います。

安藤様は、近畿代表という立場で、ET Westの代表という面もお持ちです。年間のトレンドを決定して、West、Nagoyaと実施していくとき、やはり、ET事業本部へ、物申す方が必要で、貴重な存在です。

一見、もの静かなのですが、ビシッと意見を言われたり、経産局との窓口なども実施され、気配りもできる頼もしい存在です。



展示会WG リーダー
富岡 理氏

ユークエスト(株) 営業部長。この年代では珍しい「技術を知らない組込み屋」。ETフェスタでは自作の燻製が評判。

●運営にあたっての意気込み

展示会は出展社にとってビジネスの場であるとともに、主催者の情報発信と自己主張の場でもあります。

JASAならではの視点でテクノロジーの未来を切り取り、来場者がまた来たいと思ってくれる場を目指します。

広報委員長でもある富岡様は、ここでも、ムードメーカーです。

多くの展示会を見て、出展して、その経験から、展示かのあるべき論をお持ちで、そこに、本来のユーモラスと、イケイケどんどんの前向きな姿勢が、皆様をいい感じで、リードしています。展示会の配置は、人の流れを作り上げるわけで、出展社の満足度の大きなポイントです。出展社にとって、来場者が多く、また、立ち止まってくれる場所が最高で、そのポイントをいかに多く作り出すか。また、見学している中で、メリハリのある展示レイアウトを実施しないと、来場者が目的とする技術、展示物が探せないようになります。

なか日のETフェスタは、日本では唯一、展示会場で飲み会が実施されます。本来、ボジョレヌーボの日に合わせて展示会を開催しています。地元の特産品などを食しながら、来場者が足を止めてくれて、情報交

換ができれば、それは、大変いいチャンスが生まれる可能性が大きい。

東北ブースは、毎年、東京で手に入らないような日本酒を用意していただくので、開催時間前の殺気立った来場者は怖い。また、なか日は最も来場者数が多いという珍しい展示会でもあります。

センターステージの使い方も難しく、特に朝のイベントによって、来場者数に差が出てくる。昨年は、3人のスペシャルトークセッションなど、今までにない規格で、ソーシャルネットワークの情報発信で、フォロワーなど今までにない方々が早朝から来場していただけたとか。新しい試みができました。



カンファレンスWG
アワード検討
山田 敏行氏

日新システムズで、事業企画を担当しています。“ものづくりから価値づくりへ”心折れることなくチャレンジを続けています！

●運営にあたっての意気込み

業界有識者の皆さんと共に、先端技術とビジネスモデルの2つの視点でカンファレンスの設計を進めています。

Dx、ブロックチェーンなど増え続けるキーワードに対応した、2019年のETカンファレンスにご期待ください！

目玉のWGである。半導体、ソフトウェア、ハードウェア、SI、ツールなどの業界のリーダーに加えて、プレス、大学、協会等から約15名程度のアドバイザーをお願いして、時の講演者を検討して、講演プログラミングを作っていく。基調講演は1000名以上の聴講者を集めるので、人選には大変苦労する。通常、金を積んで有名人を集めればいいであろうが、ここは、業界のカンファレ

ンスなので、謝金は微々たるもの、ボランティア精神に訴えて、講演をお願いしている。WGのメンバー、講演者、アドバイザーの方々には感謝感謝です。

これらの、業界のトップメンバーをまとめる山田様は、とにかく勉強家です。海外も含めて、展示会、講演会に積極的に参加して、ご自身の業務にも生かされながら、素晴らしいバランスセンスで、WGを進めています。これらの経験から、トレンドを意識した、アワード検討会の座長もお願いしています

IoTイノベーションチャレンジ委員会
(兼) 渡辺 博之氏

●運営にあたっての意気込み

これからの時代は、ビジネスとエンジニアリングを一緒に考えることの出来るエンジニアが必要だが、現場の仕事をこなすだけでは、なかなかそこにたどりつけない。このコンテストを通じて、エンジニアがビジネスを考えるきっかけになればうれしい。

昨年第1回を実施した、イノチャレです。

オープンイノベーションなど、グローバルなビジネスが進む中、いい製品を作れば、儲かる言った時代は終わり、協業ができる人財、会社が望まれる時代になってきた。こんな中で、MBSEなど効率よくビジネスをモデルとして、ビジネスモデルを作れる人財育成が重要であり、注目されています。

イノチャレでは、一流の専門家、それもボランティアなのですが、講習会を実施し、実習をして、一通り教育を実施したのちに、ビジネスモデルを作ってもらい、その自分のアイデアとビジネスモデルをプレゼンして、競う。第2のETロボコンとして、人財育成に新しい流れを作っています。

若手の育成、特にビジネスモデルの作れる人財は、次期経営者としても重要で、ぜひ、皆様参加してください。 <続く>



ビジネス創出人材育成コンテスト



IoT Innovation Challenge 2019

2019 概要紹介

IoTイノベーションチャレンジとは

IoTイノベーションチャレンジは、JASAが主催する、これからの組込み業界を牽引できる人材の発掘・育成を目的としたアイデアソンです。

今回で2回目の開催となります。企業・団体・教育機関から参加チームを募り、いま産業界や社会に解決を求められている喫緊の課題を選び、IoTを活用したソリューションを企画してもらいます。

多様な分野の第一線で活躍する講師陣によるセミナーとアドバイス、企画立案のため

のグループディスカッションなどを通して、ビジネスをデザインする能力と組み込みシステム全体を俯瞰して捉えるセンスを養っていただきます。

なぜ、IoTイノチャレなのか？

これからの組込み技術者には広い視野とビジネスのセンスが必要とされます。情報処理推進機構が2017年に行った「組込みソフトウェアに関する動向調査」によると、「システム全体を俯瞰できる人材」「ビジネスをデザインできる人材」の不足が顕著になっています(図)。

IoTイノベーションチャレンジを企画した意図はここにあります。ET/IoT展では2017年までハッカソンを実施していました。技術力を高める効果は期待できるのですが、どうしても手を動かすことに集中しがちです。一歩進んで、技術とビジネスを橋渡しできる人材を育成したいと考えました。もちろん、ハッカソンからアイデアソンへの衣替えには賛否両論がありました。JASA(組込みシステム技術協会)が主催するコンテストがアイデアだけでいいのかという議論もありました。でも中途半端はよくない。アイデアソンとして、ビジネスモデルだけに集中しようと思い切りました。

どんな特徴があるのか？

充実したセミナー

そうはいつても、技術者のほとんどは、ビジネスモデルをどう書くか教育を受けたことがありません。そうした教育も、一流講師陣によるセミナーを通してちゃんと提供しようというのが、IoTイノベーションチャレンジのコンセプトです。技術者がビジネスに思いを致すようになれば鬼に金棒です。このセミナーでは、本コンテストに取り組む上で、参加者が通常の業務だけでは得られにくい、ビジネス、イノベーション、IoT要素技術、アーキテクチャといった、ビジネスの企画・検討に必要な内容に関する広範囲の教育を、各分野の第一人者から直接受講することができます。

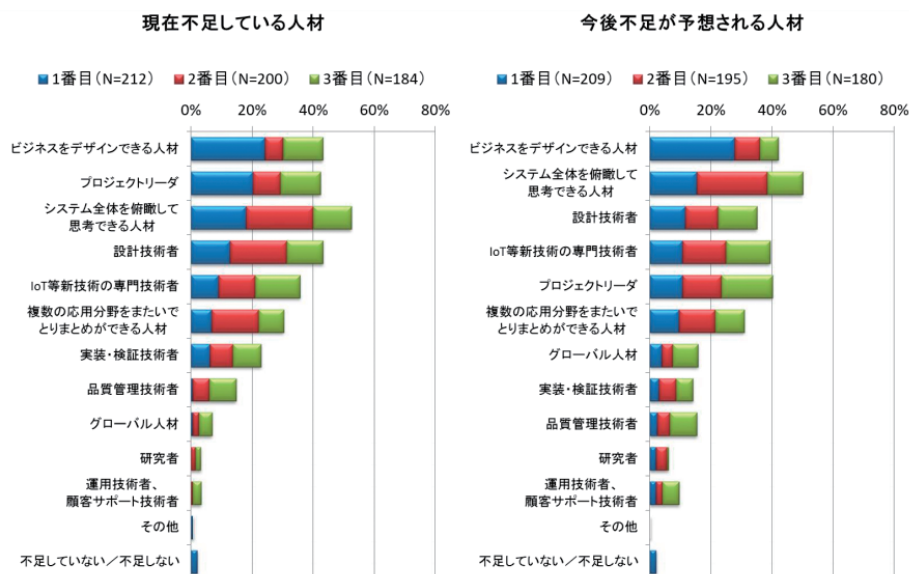


図 情報処理推進機構 2017年度 組込みソフトウェアによる動向調査より

特徴あるコンテスト課題

ビジネスのテーマは、国連が採択したSDGs (Sustainable Development Goals: 持続可能な開発目標)。17のゴールから課題を抽出し、ソリューションを企画します。

本コンテストに参加することで、企業経営における新たな基準として、世界が目指し、取り組みつつあるSDGsに、自分自身の課題として向き合い、深い理解を得ることができるというメリットがあります。

2018年の結果報告

2018年のIoTイノベーションチャレンジには19チームが参加し、いま注目のSDGs (国連が採択した持続可能な開発目標)の17の目標(169のターゲット)から課題を抽出し、IoTを活用したソリューションを企画してもらいました。

一流講師陣による5日間15コマのセミナー/ワークショップ、相談会を経て4チームが一次審査を突破し、11月の決勝審査に進出しました。

決勝審査は、のべ2万6000人超の集客力を誇るEmbedded Technology2018/IoT Technology2018展のメインステージで実施され、立ち見が出るほどの盛況ぶりでした。5分間の熱いプレゼンテーションと審査員による10分間の厳しい質疑応答ののち、(株)電通国際情報サービスのチームkameによる「音声による子育て記録サービス"My Co:そだて"」が最優秀賞、KDDI(株)と(株)KDDI総合研究所のチームKDDIR01による「チームを変革する！～リアルタイム感情フィードバックサービス～」が特別賞を受賞しました。

2019年の新企画

新たな講師による新たなセミナーコンテンツAIの活用、オープンイノベーションの進め方等、新たなコンテンツが加わります。

混成部門の新設

複数企業・団体からメンバーを集めた混成部門を設けます。混成部門でお申込みいただき、チーム・ビルディング(一日かけて実施)を経てチームを決定します。

開催要項

No.
Date

参加資格

- 3～5名のチームを構成すること(教職員を除く)
- チームの全員が18歳以上であること
- 日本語でやり取りできること
- 電子メールで連絡が取れること
- 資料をPDF形式で提出すること
- 開催期間中、次のプログラムにチームの1名が必ず出席すること
 - ・6～8月に計6日間実施されるセミナー/ワークショップ
 - ・9月(予定)相談会
 - ・11月22日(金) ET/IoT 2019における決勝大会(プレゼンテーション)、表彰式

参加費

- 一般企業:100,000円
- JASA会員企業またはET/IoT出展社:50,000円
- 高専、専門学校、大学、大学院など(代表者として連絡の取れる教職員の参加が必須です):40,000円

参加カテゴリ

- 一般
参加者自身でチームを構成して、お申込みいただく場合
- 混成
お申込み後、5/25(土)に実施するチーム・ビルディング・ワークショップを経て、複数の企業や団体でチームを構成する場合 チーム単位の参加費、チーム・ビルディング・ワークショップの参加費(1名ごと)が必要となります。
*お申込み時点で「一般」「混成」、どちらかのカテゴリを選択いただきます

スケジュール

No.
Date

- 2/26(火) 開催発表/実施説明会
- 3月上旬～5/24(金) 参加チーム募集
- セミナー(会場:FinGATE KAYABA、Day2のみ異なります) *は新しい講師(コンテンツ)
 - ・6/18(火) Day1 和泉氏、中川氏、小西氏
 - ・6/28(金) Day2 イノベティブ思考ワークショップ@慶応義塾大学 日吉キャンパス
 - ・7/9(火) Day3 有馬氏、立本教授、今西氏*、平鍋氏
 - ・7/24(水) Day4 渡辺氏、篠原氏、増田氏*
 - ・8/8(木) Day5 鷲崎教授、丸山氏、竹森氏
 - ・8/20(火) Day6 前田氏、徳田教授*
- 9月 相談会
- 10月 一次審査(公開プレゼンテーション)
- 11/22(金) 決勝審査(ET/IoT 2019内ステージにて)

プレゼンテーション審査による決勝大会選出
2018年は、書類のみで一次審査を行っていましたが、せっかく作った企画をプレゼンテーションする機会も提供したいということで、今年は一次審査もプレゼンテーション審査を実施します。

さいごに

IoTイノベーションチャレンジには新しいビジネスを考える技術者が集まっています。ビジネスのデザインのヒントが数多くあります。企業にとって宝の山です。ぜひ、参加をご検討ください。

参加者のみなさんは、ぜひ、日々やってい

る業務とは全く違う世界を楽しんでください。セミナーにはとてもいい話が、たくさん詰まっています。最短の時間で多様な話が聞け、本を読むよりはずっと効率的です。

なお、IoTイノベーションチャレンジはスポンサーの皆さまに支えられたコンテストです。スポンサーにはセミナーの受講資格など、特典が多くあります。多くの企業にスポンサーとして手を挙げていただきたいと思います。特典の内容に応じてダイヤモンドスポンサー、プラチナスポンサー、パールスポンサー、エンジェルスポンサー、プライズスポンサーと5つの枠をご用意しております。詳細資料は、こちらをご覧ください。

<https://www.iot-innovation-challenge.net>

開催報告 2019.2.6-7

2月6日(水)7日(木)の両日、名古屋・吹上ホール(名古屋市中企業振興会館)において、協会主催のET・IoT Technology NAGOYAが開催された。本展はTECH Biz EXPO(主催:名古屋国際見本委員会、名古屋産業振興公社)と、フロンティア21エレクトロニクスショー(主催:中部エレクトロニクス振興会)との同時開催として初開催されたもの。

名古屋圏は、自動車産業をはじめ製造業において高度な技術力、製造力を有している。モビリティ、FA、ロボティクス等、様々なIoTシステムや組込み機器の設計・開発・サービスに携わる技術者をコアターゲットに技術・ソリューション展示と専門セミナーで最新の技術情報を発信した。

展示ホールでは121社・団体が集結、先端を行くテクノロジーやソリューションを展示紹介した。会期2日間で10,518人の来場者が集まった。

また会期中にはET・IoT名古屋として基調講演、JASA技術本部セミナーほか20の専門セミナーを実施。注目される技術トレンドや旬の技術テーマをキャッチアップし、貴重な情報を届けた。(基調講演のタイトル、講演者は下表参照)

昨年の2月には政策動向、セーフティ&セキュリティ、AI&データ活用、産業IoTと自動化技術など10テーマで実施したET・IoT Technologyセミナーで1000人を超える聴講者を集め好評を博したが、今回の専門セミナーにも最新の技術動向を把



32社・団体が集結した展示会場。出展各社のブースを丹念に訪問する来場者も多く見受けられた

握しようと多くの聴講者を集めた。

なおJASA技術本部セミナーはエネルギーハーベスティングWG、状態遷移設計研究WG、アジャイル研究WG、安全仕様化WGより4セミナーを実施した。

各内容や会期の模様は詳細公開中の公式サイトをぜひご覧いただきたい。

▶ <http://www.jasa.or.jp/etnagoya/>



●ET・IoT Technology NAGOYA 2019 関連データ

- ・会期: 2019年2月6日(水)7日(木)
- ・会場: 吹上ホール(名古屋市中企業振興会館)
- ・出展社数: 32社・団体(44小間) [全体 121社、190小間ベース]
- ・カンファレンス数: 20セッション
- ・来場者数: 10,518人(2日間合計、同時開催展含む)
- ・同時開催展: 第8回次世代ものづくり基盤技術産業展TECH Biz EXPO 2019
フロンティア21 エレクトロニクスショー 2019

●基調講演内容

RISC-Vの狙いと、IoT、AIエッジセキュリティの実現

SHコンサルティング(株) 河崎 俊平 氏

2020年のIoT/エッジコンピューティングを支える富士通の最新ネットワーク技術 ～ものづくりIoT、モビリティIoTへの適用と将来像

富士通(株) 大澤 達蔵 氏

“100年に一度”の大変革時代に組込み/IoT分野で求められること

(独)情報処理推進機構 片岡 晃 氏

AI/IoT・組込みテクノロジーが支えるコネクテッドマニュファクチャリング

日本電気(株) 山田 昭雄 氏

これからは始めるMBSE

～モデルベースでシステムズエンジニアリングを実施するとはどういうことか?

慶應義塾大学 白坂 成功 氏

デジタルトランスフォーメーションの推進と2025年の崖

～組込み/IoT産業が勝ち抜くために

経済産業省 和泉 憲明 氏

利用環境や目的から考えるIoTシステムの品質

～コンテキストを考慮した品質要求の明確化

名古屋大学 森崎 修司 氏

CASE時代の車載組込みシステムの動向と課題

名古屋大学 高田 広章 氏

JASA支部報告

関東支部企画運営WG

浦野 勉
(個人会員)



関東支部長 松本 栄志



UPQ 代表取締役 中澤 優子氏



ETラボ代表 横田 英史氏

2019年2月21日開催された、関東支部例会について報告します。
(TKP秋葉原カンファレンスセンター)

●2019年度事業計画案・予算案の紹介・承認

2019年度事業計画案概要は、1.支部運営、2.国内外視察調査、3.人材育成セミナー、4.交流会、5.会員への情報提供(メーリングリスト)で、同時に予算案も提示、出席者の決議をもって承認をいただきました。

●講演1

(公財)東京都中小企業振興公社 総合支援課 主任 朝倉政孝様が「これから考える事業継承」をテーマに、「事業継承の背景」や「事業継承の進め方」のポイント等について説明いただきました。事業継承は早めの対策が必要で、中小企業のための支援機関が全国にあり、たくさんの支援メニューが用意されていると紹介がありました。

●講演2

東京都立産業技術研究センター IoT担当部長 櫻井政孝様が「東京都が進める中小企業のIoT化支援事業の取組み」をテーマに講演。IoTテストベッド、IoT試験評価室、東京都IoT研究会、研究会対象の講習会についてのご説明、また最後に、研究会への参加や都産技研機能・サービスの積極的利用の提案をいただきました。

●講演3

(株)UPQ(アップ・キュー)代表取締役 中澤優子様より「家電ベンチャーUPQから見た、家電業界と未来 ～ブランドリリースから3年半で見てきたこと～」という演題でご講演いただきました。大手メーカーで携帯電話・スマートフォンの商品企画に従事した後2015年に創業、現在までに60以上のアイテムを開発されています。それを可能にした背景には「ものづくり」へのハード

ルが下がったこと、つまり小ロット生産、ファブレス、ECでの販売、少量多品種の店頭展開があるということでした。

一方で、サポートや不良品を出したときの対応には体力＝お金が必要で、そのためにも良いものをつくり続けなければならない、始めるにはその覚悟が必要だと語ります。このような苦勞をしても続けたい「ものづくり」の魅力とは、つくって、売って、届けたものを通じて、考えたこと(やり方、動き方、生き方)を伝え理解してもらえなことだといいます。

現在企画・開発中のREIKUN-Domeは、卓上で簡易燻製を楽しめる製品で、今年1月よりクラウドファンディングを募っています。オープンなものづくりを目指し、おもちゃメーカーに持ち込むなど様々な人から意見を拝聴しているところとか。最後に、考えて、提案して、価値をつけて買ってもらえるようにする真の「商品企画」(これを育てる学問は世界的に見てもまだないそうです。)&「ものづくり」を目指したいということでした。

●講演4

ETラボ代表 横田英史様より「ハードのLinuxを狙うRISC-V ～オープンソースMPUの現在と未来～」について講演をいただきました。既存のマイクロプロセッサは、性能の限界と設計コストの急増が問題となり、その解決法として特定ドメイン向け命令を追加すること、そのためオペコード拡張の余地を予め確保しておくことが重要で、RISC-Vはその解の1つとなるということでした。

RISC-Vはオープンソースのアーキテクチャで、シンプル、設計思想がクリーン、命令セットはモジュール構造、仕様が安定しているという特徴があり、OSのLinuxのような存在にハードウェア分野でなることを目標としています。2018年12月にLinux Foundationが協業、2019年1月にRaspberry Pi FoundationがRISC-V Foundationに加盟、日本の経産省「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発事業」に採択、電気通信大学や東京電機大学など教育現場でも活動が始まるなど動きが活発化しています。次のパラダイムシフトが起きた時の主役の最有力候補で、今後目が離せない存在といえます。

●新入会員紹介

2019年1月より個人会員となられた横田様より引き続き紹介がありました。JASAとの関りは30年余りということですが、今後ともよろしくお願いいたします。

●交流会

第3部は、会場をDartsUP秋葉原店に移しての交流会。歓談だけでなく、ダーツフリータイムは大変盛り上がり、お招きしたマジシャンの工藤留実様による楽しくも可憐なマジックには拍手喝采が送られました。こうして平成最後の支部例会は、盛況のうちに閉会。今後も関東支部の活動にご理解・ご協力の程、よろしくお願い申し上げます。

交流会の様様



横田英史の 書籍紹介コーナー



FACTFULNESS(ファクトフルネス) ～10の思い込みを乗り越え、データを 基に世界を正しく見る習慣～

ハンス・ロスリング、オーラ・ロスリング、
アンナ・ロスリング・ロンランド
上杉周作・訳、関美和・訳
日経BP社 1,944円(税込)

ビル・ゲイツが絶賛したといわれる書。「世界は戦争、暴力、自然災害、人災、腐敗が絶えず、どんどん物騒になっている。金持ちはより一層金持ちになり、貧乏人はより一層貧乏になり、貧困は増え続ける一方である。何もしなければ天然資源ももうすぐ尽きる」。我々が常識だと思いこんでいるこうした勘違いを、データに基づき次々と論破する。知識人と呼ばれる人間も勘違いを免れない。世の中を正しく見るための勘所を的確に押さえており、お薦めである。

筆者は貧困、人口、教育、エネルギーに関する勘違いを体系的に論じており読ませる。いわゆる通説の誤りを指摘する書籍を読んだことはあるが、ここまで体系だっているのは初めて。ほとんどの人は、実際よりも世界は怖く、残酷だと考えている。勘違いを生むのは、判断本能、ネガティブ本能など10の本能である。

アナログの逆襲 ～「ポストデジタル経済」へ、ビジネスや発想はこう変わる～

デイビッド・サックス、加藤万里子・訳
インターシフト 2,268円(税込)

タイトルを見ると「デジタルの先はアナログ」とも読めるが、内容は「アナログ

にはデジタルにない良さがある」「アナログを極めるところに生き残る余地が十分にある」「アナログとデジタルは両立する」といったところ。名著「グレイフル・デッドにマーケティングを学ぶ」など類書が存在する内容だが、事例を数多く取り上げているところは評価できる。

出版、小売り、製造、教育のすべての面で、デジタル一辺倒の弊害とアナログの長所を論じる。アナログな発想がもつ革新的かつ破壊的な可能性を説く。事例はレコード/ターンテーブル、モレスキン、フィルム、ボードゲーム、腕時計、印刷、書店など。行き過ぎたデジタル化を再考し、アナログの見直しが進んでいるのは間違いないところだろう。筆者の主張はいずれも説得力をもって迫ってくる。

NEVER LOST AGAIN ～グーグルマップ誕生(世界を変えた地図)～

ビル・キルデイ、大熊希美・訳
TAC出版 1,944円(税込)

スマホの必須アプリとなり、存在しない生活が考えられないグーグルマップ(およびグーグルアース)の誕生物語。米テキサス大学の同級生が二人三脚でデジタル地図サービスを、グーグルマップとグーグルアースに仕立て上げ、インゲレスやポケモンGOの大成功につなげるまでを描いた書。開発の主役はエンジニアのジョン・ハンケ。ハンケが立ち上げた米キーホールは倒産の危機に瀕するが、米軍のイラク進行時にCNNが利用したことで一挙にブレイク

し、米グーグルに買収される。

グーグルマップなどの開発に米SGIから輩出された人材がかかわっているなど、シリコンバレーの人材や企業が核分裂を起こしながら成長していくエコシステムがよく分かる。グーグルマップの名称変更や、マーケティングよりもプロダクトというGoogleの社風などエピソードが満載だ。

フェイクニュースを科学する ～拡散するデマ、陰謀論、プロパガンダのしくみ～

笹原和俊
化学同人 1,620円(税込)

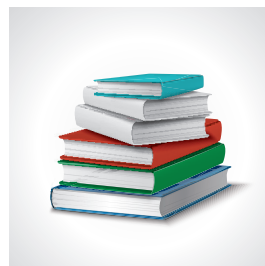
フェイクニュースはどのように生まれ、どういった過程を経て拡散するのかを、社会科学だけではなく、学際的な計算社会科学(コンピュータが可能にする人間行動と社会的相互作用に関する学問)を用いて分析した書。情報を信じてしまう人間の認知特性、その情報を拡散させる情報環境の特徴、情報過多と注意力の限界など、フェイクニュースを「情報生態系」の問題としてとらえ、生態系の全体像を描く。筆者はメディアリテラシーとファクトチェックは、どちらもフェイクニュース時代を生き残るための基本だと語る。メディアリテラシーを高めるために読んで損はない。

偽ニュースは速く遠くまで、深く幅広く拡散する。特に怒りや道徳に結びついた感情の情報は感染力が強い。道徳感情語が一つ増えるごとに、リツイートされる確率が20%増加するという。

横田 英史 (yokota@nikkeibp.co.jp)

1956年大阪生まれ。1980年京都大学工学部電気工学科卒。1982年京都大学工学研究科修了。
川崎重工業技術開発本部でのエンジニア経験を経て、1986年日経マグロウヒル(現日経BP社)に入社。日経エレクトロニクス記者、同副編集長、BizIT(現ITPro)編集長を経て、2001年11月日経コンピュータ編集長に就任。2003年3月発行人を兼務。
2004年11月、日経バイト発行人兼編集長。その後、日経BP社執行役員を経て、2013年1月、日経BPコンサルティング取締役、2016年日経BPソリューションズ代表取締役に就任。2018年3月退任。
2018年4月から日経BP社に戻り、日経BP総合研究所 グリーンテックラボ 主席研究員、2018年11月ETラボ代表、現在に至る。
記者時代の専門分野は、コンピュータ・アーキテクチャ、コンピュータ・ハードウェア、OS、ハードディスク装置、組み込み制御、知的財産権、環境問題など。

*本書評の内容は横田個人の意見であり、所属する企業の見解とは関係がありません。



クミコ・ミライ ハンダフルワールド 第7話

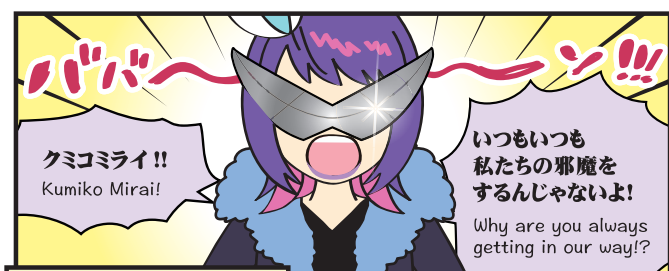
Kumiko Mirai Chapter 7

英語訳：アラヤ株式会社
(翻訳者：イーサン・ウィリアムソン) の提供です。
Translated by ALAYA INC.
(translator: Ethan Williamson)

前回のあらすじ

アキバに新しい組込みアイテムを買いに来たミライは、迷惑な買い占めをする悪の組込み組織「クラッシャーズ」に遭遇した!

Last time:
Kumiko, having bought a new Kumikomi Item in Akiba,
has a run in with the greedy organization known as the Crashers!



Continues on the right

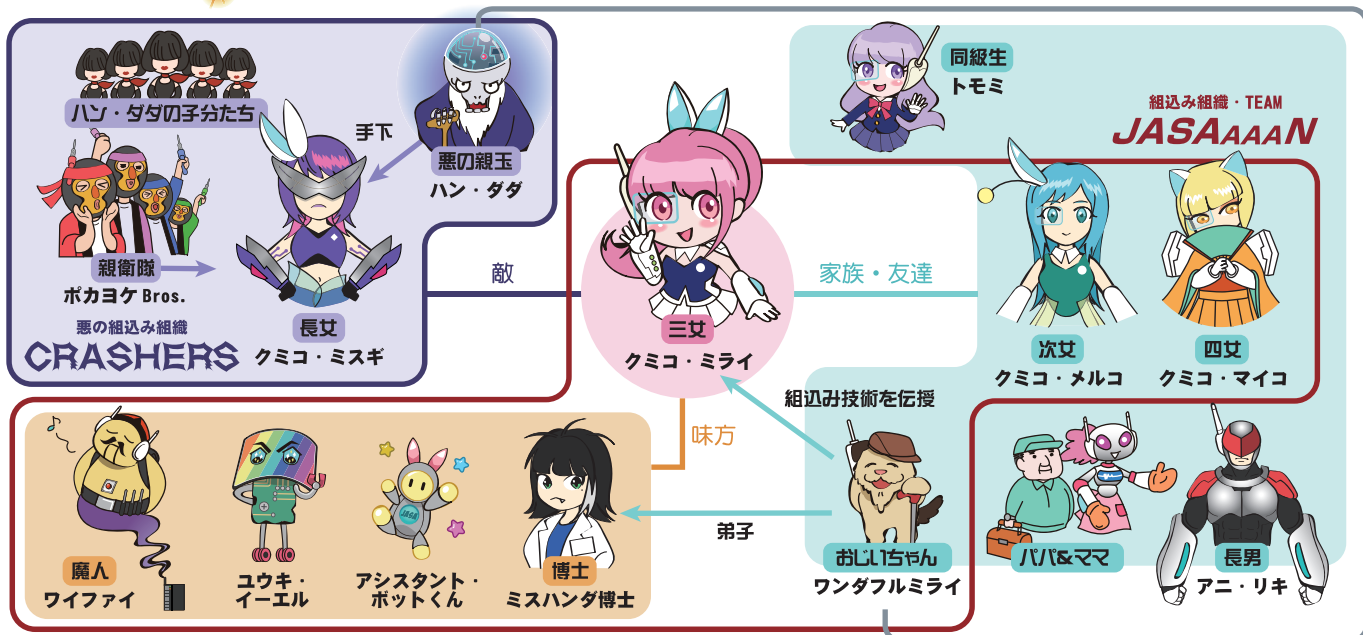


数時間後… Hours later…



この漫画はダイナフォントを使用しています。 This manga uses DynaFont.

クミコ・ミライ ハンダフルワールド 人物相関図



若し頃からの因縁・対立関係

JASA 会員一覧

(2019年4月)

北海道支部

HISホールディングス株式会社	http://www.hokuyo.co.jp/index.html
株式会社コア 北海道カンパニー	http://www.core.co.jp/
株式会社北斗電子	http://www.hokutodenshi.co.jp/

東北支部

株式会社イーアールアイ	http://www.erii.co.jp/
株式会社コア 東関東カンパニー	http://www.core.co.jp/
株式会社セントラル情報センター 東北支社	https://www.cic-kk.co.jp/
テセラ・テクノロジー株式会社	https://www.tessera.co.jp/
国立大学法人東北大学 情報科学研究科教授 青木研究室	http://www.tohoku.ac.jp/
株式会社ビット 東北事業所	https://www.bits.co.jp/

関東支部

一般社団法人I IOT	https://www.iiot.or.jp/
IARシステムズ株式会社	https://www.iar.com/jp/
株式会社アイ・エス・ビー	http://www.isb.co.jp/
一般社団法人iCD協会	https://www.icda.or.jp/
一般社団法人ICT CONNECT 21	http://ictconnect21.jp/
アイティアアクセス株式会社	http://www.itaccess.co.jp/
一般社団法人IT検証産業協会	https://www.ivia.or.jp/
アイビーシー株式会社	http://www.abc21.co.jp/
ACCEL JAPAN株式会社	http://www.acceljapan.com/
アストロデザイン株式会社	http://www.astrodesign.co.jp/
株式会社アックス	http://www.axe.bz/
アップウィンドテクノロジー・インコーポレイテッド	http://www.upwind-technology.com/
アドバンスデザインテクノロジー株式会社	http://www.adte.co.jp/
アドバンスシステムズ株式会社	http://www.asco.jp/
株式会社アドバンス・データ・コントロールズ	http://www.adac.co.jp/
株式会社アトリエ	http://www.atelier-inc.com/
株式会社アフレル 東京支社	http://www.afrel.co.jp/
アンドールシステムサポート株式会社	https://www.andor.jp/
株式会社イーテクノロジー	http://www.e-technology.co.jp/
イマジネーションテクノロジー株式会社	https://www.imgtec.com/
株式会社インサイトワン	http://www.insight-one.co.jp/
株式会社インフォテック・サーブ	http://www.infotech-s.co.jp/
株式会社エクモーション	https://www.exmotion.co.jp/
株式会社SRA	https://www.sra.co.jp/
STマイクロエレクトロニクス株式会社	https://www.st.com/
株式会社NS・コンピュータサービス エンベッド本部	http://nscs.jp/
株式会社NTTデータ・ニューソン	https://www.newson.co.jp/
株式会社エヌデータ	https://www.nddhq.co.jp/
エプソンアヴァシス株式会社	http://avasys.jp/
株式会社エリック・アンド・アンディ	http://ericandy.sakura.ne.jp/
株式会社エンファシス	http://www.emfasys.co.jp/
株式会社エンベックスエデュケーション	https://www.embex-edu.com/
オープンテクノロジー株式会社	http://www.open-tec.co.jp/
株式会社ガイア・システム・ソリューション	http://www.gaiaweb.co.jp/
ガイオ・テクノロジー株式会社	https://www.gao.co.jp/
株式会社金沢エンジニアリングシステムズ	http://www.kanazawa-es.com/company.html
株式会社ギガ	http://www.giga.core.co.jp/
キャッツ株式会社	http://www.zipc.com/

一般社団法人行政情報システム研究所	https://www.iais.or.jp/
京都マイクロコンピュータ株式会社	http://www.kmckk.co.jp/
特定非営利活動法人組込みソフトウェア管理者・技術者育成研究会	http://www.sesame.jp/
一般社団法人組込みマルチコアコンソーシアム	https://www.embeddedmulticore.org/
株式会社グレースシステム	http://www.grape.co.jp/
株式会社クレスコ	https://www.cresco.co.jp/
グローバルイノベーションコンサルティング株式会社	https://www.gicip.com/
株式会社コア	http://www.core.co.jp/
株式会社コスモ	http://www.cosmo.co.jp/
株式会社コンセプトアンドデザイン	https://www.candd.co.jp/
一般社団法人コンピュータソフトウェア協会	http://www.csaj.jp/
株式会社サートプロ	http://www.certpro.jp/
佐島電機株式会社	http://www.satori.co.jp/
CICホールディングス株式会社	http://www.cic.kk.co.jp/
株式会社CSAホールディングス	http://csa-h.co.jp/
CQ出版株式会社	http://www.cqpub.co.jp/
JRCエンジニアリング株式会社	http://www.jrce.co.jp/
株式会社ジェーエフピー	http://www.jfp.co.jp/
株式会社JTBコミュニケーションデザイン	https://www.jtbcom.co.jp/
一般社団法人J-TEA	http://www.j-tea.jp/
ジェネシス株式会社	http://www.genesys.gr.jp/
株式会社システムクラフト	http://www.scinet.co.jp/
株式会社システムサイエンス研究所	http://www.sylc.co.jp/
一般社団法人重要生活機器連携セキュリティ協議会	http://www.ccds.or.jp/
一般社団法人情報サービス産業協会	https://www.jisa.or.jp/
一般社団法人スキルマネジメント協会	http://www.skill.or.jp/
株式会社ストラテジー	http://www.k-s-g.co.jp/
株式会社セントラル情報センター	https://www.cic-kk.co.jp/
ソーバル株式会社	https://www.sobal.co.jp/
株式会社Sohwa & Sophia Technologies	http://www.ss-technologies.co.jp/
一般財団法人ソフトウェア情報センター	http://www.softic.or.jp/
第一精工株式会社	https://www.daiichi-seiko.co.jp/
第一生命保険株式会社	http://www.dai-ichi-life.co.jp/
体験設計支援コンソーシアム	http://www.cxds.jp/
ダイナコムウェア株式会社	https://www.dynacw.co.jp/
ダイナミックソリューションズ株式会社	http://www.dynasol.co.jp/
株式会社チェンジビジョン	http://www.change-vision.com/
TISソリューションリンク株式会社	https://www.tsolweb.co.jp/
dSPACE Japan株式会社	https://www.dspace.com/ja/jpn/home.cfm
株式会社DTSインサイト	https://www.dts-insight.co.jp/
株式会社DKH	http://www.dkh.co.jp/
ディジ インターナショナル株式会社	http://www.digi-intl.co.jp/
TDIプロダクトソリューション株式会社	http://www.tdips.co.jp/
データテクノロジー株式会社	http://www.datec.co.jp/
株式会社テクノプロ	https://www.technopro.com/
テックマトリクス株式会社	https://www.techmatrix.co.jp/
デジタルインフォメーションテクノロジー株式会社 エンベッドソリューションカンパニー	http://www.ditgroup.jp/
一般社団法人TERAS	http://www.teras.or.jp/
デンセイシリウス株式会社	https://www.denseisirius.com/
株式会社電波新聞社	https://www.dempa.co.jp/
東京電機大学 未来科学部	http://web.dendai.ac.jp/
東芝情報システム株式会社	https://www.tjsys.co.jp/

東信システムハウス株式会社	http://www.toshin-sh.co.jp/
東横システム株式会社	http://www.toyoko-sys.co.jp/
株式会社トーセシステムズ	http://www.toseisys.co.jp/
特定非営利活動法人TOPPERSプロジェクト	http://www.toppers.jp/
トロンフォーラム	http://www.tron.org/
株式会社永栄	
株式会社ニッキ	http://www.nikkinet.co.jp/
株式会社日新システムズ 東京支社	https://www.co-nss.co.jp/
日本システム開発株式会社	http://www.nskint.co.jp/
日本生命保険相互会社	https://www.nissay.co.jp/
日本ノーベル株式会社	https://www.jnovel.co.jp/
日本プロセス株式会社 組込システム事業部	https://www.jpdc.co.jp/
日本マイクロソフト株式会社	https://www.microsoft.com/ja-jp/
日本ローターバッハ株式会社	https://www.lauterbach.com/j/index.html
NEUSOFT Japan株式会社	http://www.neusoft.co.jp/
NextDrive株式会社	https://jp.nextdrive.io/
パーソルテクノロジースタッフ株式会社	https://persol-tech-s.co.jp/
ハートランド・データ株式会社	http://hldc.co.jp/
株式会社ハイスポット	http://www.hispot.co.jp/
株式会社パトリオット	http://www.patriot.co.jp/
ハル・エンジニアリング株式会社	http://www.haleng.co.jp/
株式会社ビー・メソッド	http://www.be-method.co.jp/
株式会社ピーアンドピービューロウ	https://www.pp-web.net/
BTC Japan株式会社	http://www.btc-es.de/
ビジネスキューブ・アンド・パートナーズ株式会社	http://biz3.co.jp/
株式会社日立産業制御ソリューションズ	http://www.hitachi-ics.co.jp/
株式会社ビット	https://www.bits.co.jp/
株式会社富士通コンピュータテクノロジーズ	http://jp.fujitsu.com/group/fct/
株式会社ブライセン	https://www.brycen.co.jp/
フラットーク株式会社	http://www.flatoak.co.jp/fltk/
ベクター・ジャパン株式会社	http://www.vector.com/jp/ja/
マイクロテクノロジー株式会社	http://www.microtechnology.co.jp/
三井住友信託銀行株式会社	https://www.smtb.jp/
株式会社メタテクノ	https://www.meta.co.jp/
メンター・グラフィックス・ジャパン株式会社	http://www.mentorg.co.jp/
モバイルコンピューティング推進コンソーシアム	http://www.mcpc-jp.org/
ユークエスト株式会社	https://www.uquest.co.jp/
ユタカ電気株式会社	http://www.yutakaelectric.co.jp/
株式会社ユビキタスAIコーポレーション	https://www.ubiquitous-ai.com/
株式会社来夢多	http://www.ramuda.co.jp/
リネオソリューションズ株式会社	https://www.lineo.co.jp/
株式会社ルネサスイーストン 技術本部	http://www.rene-easton.com/
早稲田大学 グローバルソフトウェアエンジニアリング研究所	http://www.washi.cs.waseda.ac.jp/

中部支部

アイシン・コムクルーズ株式会社	https://www.aisin-comcruise.com/
株式会社ウィッツ	http://www.witz-inc.co.jp/
株式会社ウォンツ	http://www.wantsinc.jp/
有限会社OHK研究所	
株式会社OTSL	http://www.otsl.jp/
株式会社コア 中部カンパニー	http://www.core.co.jp/
三幸電子株式会社	http://www.sanko-net.co.jp/
株式会社サンテック	http://www.suntec.co.jp/
シリコンリナックス株式会社	http://www.si-linux.co.jp/
東海ソフト株式会社	http://www.tokai-soft.co.jp/

東洋電機株式会社	http://www.toyo-elec.co.jp/
ハギワラソリューションズ株式会社	http://www.hagisol.co.jp/
萩原電気ホールディングス株式会社	https://www.hagiwara.co.jp/
株式会社バッファロー	http://buffalo.jp/
株式会社明理工業	http://www.meiri.co.jp/
株式会社ユタカ電子	http://www.yutakadenshi.co.jp/

北陸支部

マルツエレクトロニクス株式会社	https://www.marutsu.co.jp/
-----------------	---

近畿支部

株式会社暁電機製作所	http://www.arunas.co.jp/
株式会社アクシアソフトデザイン	http://www.axia-sd.co.jp
アンドールシステムサポート株式会社 大阪事業所	https://www.andor.jp/
イーエルシステム株式会社	http://www.el-systems.co.jp/
株式会社エイビイラボ	http://www.ab-lab.co.jp/
株式会社M's STYLE TECHNOLOGY	http://www.msstyletech.co.jp/
一般財団法人関西情報センター	http://www.kiis.or.jp/
組込みシステム産業振興機構	http://www.kansai-kumikomi.net/
株式会社コア 関西カンパニー	http://www.core.co.jp/
Communication Technologies Inc.	https://www.cti.kyoto/
株式会社コンピューテックス	http://www.computex.co.jp/
株式会社システムクリエイティブ	http://sc.poi.ne.jp/
株式会社システムプランニング	http://www.sysplnd.co.jp/
スキルシステムズ株式会社	https://skill-systems.co.jp/
株式会社ステップワン	http://www.stepone.co.jp/
株式会社セカンドセクション	http://www.secondselection.com/
株式会社窓飛	http://www.sohi.co.jp/
株式会社ソフトム	http://www.softm.co.jp/
株式会社ソフト流通センター	http://www.k-src.jp/
太洋工業株式会社	http://www.taiyo-xelcom.co.jp/
株式会社たけびし	http://www.takebishi.co.jp/
株式会社データ・テクノ	http://www.datatecno.co.jp/
有限会社中野情報システム	http://nakanoinfosystem.com/
株式会社日新システムズ	https://www.co-nss.co.jp/
日本メカトロニクス株式会社	http://www.n-mec.com/
株式会社ハネロン	http://www.haneron.com/
株式会社Bee	http://www.bee-u.com/
株式会社ビット 関西事業所	https://www.bits.co.jp/
株式会社星光	http://hoshimitsu.co.jp/
株式会社ルナネクス	http://www.luna-nexus.com/

九州支部

株式会社エフェクト	http://www.effect-effect.com/
九州IT融合システム協議会 (ES九州)	http://www.isit.or.jp/progect/es-kyushu/
株式会社コア 九州カンパニー	http://www.core.co.jp/
ジャパンシステムエンジニアリング株式会社	http://www.jase.co.jp/
日本システム管理株式会社	http://www.nskanri.co.jp/
樋脇精工株式会社	https://www.hiwakiseiko.co.jp/

個人会員7名

技術本部成果発表会 開催ご案内

JASA技術本部では、各委員会・WGにおける平成30年度の調査研究成果報告と今後の実行計画について発表会を開催します。

プログラム詳細は協会HPをご参照ください。

【成果発表会開催要綱】

日時： 2019年5月20日（月） 13:00-17:30

会場： TKPガーデンシティお茶ノ水「3E・3F」

東京都千代田区神田駿河台三丁目11-1 三井住友海上駿河台新館

<https://www.kashikaigishitsu.net/facilitys/gc-ochanomizu/>

（前回発表会の様子）



JASA新入会員企業紹介

アイシン・コムクルーズ株式会社



〒450-0002 愛知県名古屋市中村区名駅4丁目4番10号
<https://www.aisin-comcruise.com/>

アイシングループのソフトウェア開発会社として、自動車、住生活機器の制御ソフトウェア開発、評価、関連する技術情報の調査、収集を行っている会社です。

愛知、岩手、福岡に拠点を置き、設立12年目の若い力を生かす為、人づくりに力を入れている会社です。

ディジインターナショナル株式会社



〒150-0031 東京都渋谷区桜丘町22-14 NES-S8
<http://www.digi-intl.co.jp/>

ディジ インターナショナルは、ビジネスおよびミッションクリティカルなIoTコネクティビティ製品・サービスの世界的なプロバイダです。エナジーマネジメント、スマートシティ、医療・ヘルスケア、インダストリアル、小売/リテール、輸送/運輸といった市場でのIoT実現に必要な長期供給、小ロット提供、工業温度・産業用グレード製品、電波法事前認証取得などに対応、これまで1億台以上のデバイスをインターネットに繋いできた実績があります。

BTC Japan株式会社



〒112-0001 東京都文京区白山5-36-9 白山麻の実ビル8階
<https://www.btc-es.jp/ja/>

当社は、ドイツBTC Embedded Systems AGの日本法人です。組込みソフトウェアのモデルベース開発に対し、自動テストと形式検証テクノロジーを用いたソリューションを提供することで、開発工程の短縮と品質向上を可能にします。当社検証ソリューションは、ソフトウェア開発プロセスの標準化と組織的運用に貢献し、多くの利益を提供します。

■編集後記

4月号は技術特集号として話題の「RISC-V」を特集しました。

オープンソースの考え方やあり方に世間が慣れてきたこのタイミングそのものが絶妙なのだと個人的には感じています。

クミコミライちゃんは謎キャラが続出していましたが、とうとう背景があきらかになりましたね。キャラクター盛りだくさんの

LINEスタンプもよろしくお願いします。

今号からアンケートを始めます。
BulletinJASAをよりよくするために、ぜひともご協力ください。

広報委員長 富岡 理

▼LINE スタンプはこちら



JASAは、組み込みシステム技術の普及・高度化、調査研究など 業界活動を積極的に展開しています。

協会概要

名称 一般社団法人組み込みシステム技術協会
Japan Embedded Systems Technology Association (JASA)
会長 竹内 嘉一
事務所 本部 東京都中央区日本橋大伝馬町 6-7
支部 北海道、東北、関東、中部、
北陸、近畿、九州

目的

組み込みシステム（組み込みソフトウェアを含めた組み込みシステム技術）をいう。以下同じ。）における応用技術に関する調査研究、標準化の推進、普及及び啓発等を行うことにより、組み込みシステム技術の高度化及び効率化を図り、もって我が国の産業の健全な発展と国民生活の向上に寄与することを目的とする。

会員数 正会員 148 社 賛助会員 33 社 支部会員 10 社
学術会員 3 団体 個人会員 7 名 (2019 年 4 月現在)

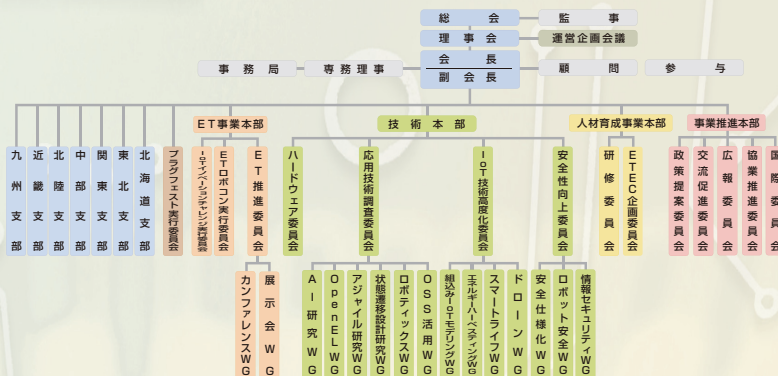
設立 昭和 61 年 8 月 7 日

平成 24 年 4 月 1 日 一般社団法人へ移行

組織 事業推進本部、技術本部、人材育成事業本部、
ET 事業本部

産業分類 日本標準産業分類 G-3912 組み込みソフトウェア業

組織図



主な事業活動

1. Embedded Technology (ET展) 及び IoT Technology (IoT技術展) の全国展開

Connected Industries実現の先導的役割を担う『エッジテクノロジー総合展』として、関東（横浜）、関西（大阪）、中部（名古屋）等で開催する。

2. ETEC/組み込みソフトウェア技術者試験制度の実施、 普及拡大

組み込み技術者の育成、スキル向上を目的とした組み込みソフトウェア技術者向け試験制度「ETEC」の実施、クラス2試験とともに上位のクラス1試験運用

3. 技術高度化のための調査研究活動

- ①機能安全・情報セキュリティ・生活支援ロボットの安全性に関する技術動向調査及び、組み込みセキュリティ対策検討
- ②OSS普及活動（ロボット用OSS: OpenEL、OpenRTM等）、ライセンスの啓発活動
- ③IoT・M2Mをエッジ側の観点で、構成／サービス／拡張性／検証性／保守性等を調査研究する。
- ④センサー活用におけるセンサー基盤開発・評価。XDに着目した組み込み技術の共創開発の考察及び人材育成

4. 人材育成・教育事業

- ①就活・求人支援
- ②新人研修講座、技術者教育・スキルアップセミナーの実施
- ③企業が求める新卒人材調査（スキルレベル）の実施と情報提供

5. ETソフトウェアデザインロボットコンテスト (ETロボコン)、 IoTイノベーションチャレンジの実施

組み込みソフトウェア分野の技術者教育を目的としたソフトウェア開発技術を争うコンテスト。初級者対象のデベロッパー部門2クラス、新しい技術にチャレンジするガレッジシア部門1クラスの2部門3クラス制により、全国地区にて技術教育と競技会を実施。11月開催「ET/組み込み総合技術展」にて、各地区優秀チームによるチャンピオンシップ大会を開催。

また、これからの産業界を牽引できる「IoTビジネス人材」の発掘・育成を目的として、教育にフォーカスし、技術を使って学ぶことに主眼を置いたコンテスト「IoTイノベーションチャレンジ」を実施する。

6. 協業支援・ビジネス交流会の運営

- ①会員内外の協業力を高めるためのマッチングイベント及び交流イベントの実施・運営
- ②国内外企業との連携支援

7. 国際化の推進、海外機関との連携強化

- ①国際化・グローバル化に向けた調査研究及び海外視察・会議等への派遣参加
- ②海外情報を発信する「グローバルフォーラム」等イベントの企画・運営及び機関誌上での「国際だより」による情報発信
- ③海外機関・団体との連携強化と共同イベント等の企画・運営
- ④海外人材活用支援

8. 政策提案及び関連機関との連携

関連省庁及び団体等との情報共有と連携を推進し、独立した立場より政策提案するとともに、関連施策等の情報を会員に展開する。

9. 日本プラグフェストの開催

インターフェース規格を持つメーカー同士が相互運用性を検証する技術イベント年2回（春・秋）開催 HDMI、MHL等

10. OpenELの普及啓発

JASAが策定する「Open EL (Open Embedded Library) : ロボットや制御システムなどのソフトウェアの実装仕様を標準化する組み込みシステム向けプラットフォーム」の普及啓発。

11. 広報活動

- ①技術・業界動向、協会活動等を掲載した機関誌「Bulletin JASA」の定期発行と活用
- ②ホームページ活用による委員会活動・研究成果、会員情報、イベント情報等の提供及びメールニュース配信等による情報提供・広報
- ③キャラクター「クミコ・ミライ」を活用した業界認知度向上と協会活動の周知・PR

■入会金・会費

入会金

正会員・賛助会員 10 万円
個人会員 1 万円

※入会キャンペーン期間中は免除

会費

- ・正会員：右表による。
(資本金と従業員数の該当区分で、いずれか大きな区分を適用する)
- ・賛助会員：1口を10万円とし、原則3口以上とする。
- ・個人会員：1万2千円 ・支部会員：免除 ・学術会員：免除

区分	資本金	従業員数	年会費
A	500 万円未満	10 名未満	8 万円
B	500 万円以上 2 千万円未満	10 名以上 50 名未満	16 万円
C	2 千万円以上 5 千万円未満	50 名以上 100 名未満	24 万円
D	5 千万円以上 1 億円未満	100 名以上 200 名未満	32 万円
E	1 億円以上 5 億円未満	200 名以上 400 名未満	40 万円
F	5 億円以上	400 名以上	48 万円

※スタートアップ（起業5年以内）は申請により一時的減免措置あり



ET×ET (エッジテクノロジー) によって実現する スマートな社会

2019年は3大市場で開催します!

2019年6月
大阪開催

5月中旬より
来場事前登録を受付!

<http://www.jasa.or.jp/etwest/>

Embedded Technology **WEST** 2019

IoT Technology **WEST** 2019

2019年6月13日[木] - 14日[金] グランフロント大阪

2019年11月
横浜開催

出展社募集中!

<http://www.jasa.or.jp/expo/>

Embedded Technology **2019**

IoT Technology **2019**

2019年11月20日[水] - 22日[金] パシフィコ横浜

名古屋開催、盛況裡に閉幕!!

2019年2月6日[水] - 7日[木] 吹上ホール

2020年も開催予定!!

<http://www.jasa.or.jp/etnagoya/>

Embedded Technology **NAGOYA 2019**

IoT Technology **NAGOYA 2019**